

09,890443

PCT/JP 00/09139

22.12.00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

JP00/9139

REC'D 02 MAR 2001

WIPO PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年11月 2日

出 願 番 号
Application Number:

特願2000-336447

出 願 人
Applicant (s):

アンリツ株式会社

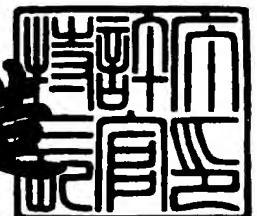
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3005545

【書類名】 特許願
 【整理番号】 101478
 【あて先】 特許庁長官殿
 【発明者】

【住所又は居所】 東京都港区南麻布五丁目 1 0 番 2 7 号 アンリツ株式会
 社内

【氏名】 青木 隆
 【発明者】

【住所又は居所】 東京都港区南麻布五丁目 1 0 番 2 7 号 アンリツ株式会
 社内

【氏名】 望月 健
 【発明者】

【住所又は居所】 東京都港区南麻布五丁目 1 0 番 2 7 号 アンリツ株式会
 社内

【氏名】 内野 政治
 【特許出願人】

【識別番号】 000000572
 【氏名又は名称】 アンリツ株式会社
 【代表者】 塩見 昭

【代理人】

【識別番号】 100079337

【弁理士】

【氏名又は名称】 早川 誠志
 【電話番号】 03-3490-4516

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第367209号
 【出願日】 平成11年12月24日

【先の出願に基づく優先権主張】

【出願番号】 特願2000- 6642

【出願日】 平成12年 1月14日

【手数料の表示】

【予納台帳番号】 043443

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9712293

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ワンダ発生装置およびそれを含むデジタル回線試験装置

【特許請求の範囲】

【請求項 1】

所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段（25、121）と、

前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を行うフィルタ部（28、125）と、

クロック信号を発生するクロック発生手段（30、31、151）と、

前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段（30、151）と、

前記変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段（23、26、130）とを備えたワンダ発生装置。

【請求項 2】

前記乱数信号発生手段は、複数の擬似ランダム信号発生器を有し、該複数の擬似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されていることを特徴とする請求項 1 記載のワンダ発生装置。

【請求項 3】

前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算手段とを含んでいることを特徴とする請求項 1 記載のワンダ発生装置。

【請求項 4】

前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振

幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とする請求項 3 記載のワンダ発生装置。

【請求項 5】

前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（5 1、1 4 1）と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（5 4、1 4 3）と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（5 6、1 4 5）とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とする請求項 3 記載のワンダ発生装置。

【請求項 6】

少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンダを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（1 3 1）を備えていることを特徴とする請求項 3 または請求項 4 または請求項 5 記載のワンダ発生装置。

【請求項 7】

前記変調手段によって周波数が変調されたクロック信号のワンダの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（1 3 4'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（1 3 5）とを備えた請求項 1 記載のワンダ発生装置。

【請求項 8】

ワンダを有する試験信号を発生するワンダ発生部（21、40）と、該ワンダ発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部（41、43）とを備えたデジタル回線試験装置において、

前記ワンダ発生部が、前記請求項1または請求項2または請求項3または請求項4または請求項5または請求項6または請求項7記載のワンダ発生装置を含み、~~該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生する~~ように構成されていることを特徴とするデジタル回線試験装置。

【請求項9】

所望のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段（22）と、

前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段（23）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（29）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトデジタルシンセサイザ（30）と、

前記ダイレクトデジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（31）とを備えていることを特徴とするワンダ発生装置。

【請求項10】

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生

手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（26）と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される雑白色雑音信号との畳込み演算を行い、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（28）とを備えていることを特徴とする請求項9記載のワンダ発生装置。

【請求項11】

前記インパルス応答演算手段は、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴とする請求項10記載のワンダ発生装置。

【請求項12】

前記畳込み演算手段は、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことを特徴とする請求項10記載のワンダ発生装置。

【請求項13】

前記インパルス応答演算手段は、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴とする請求項10記載のワンダ発生装置。

【請求項14】

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段（51）と、

前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、

前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数に分割する前記各帯域毎のスペクトルの大きさ応じた重み付けを行う重み付け手段（54）と

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段（56）とを備えていることを特徴とする請求項9記載のワンド発生装置

【請求項15】

前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数（m）組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されていることを特徴とする請求項10または請求項14記載の記載のワンド発生装置。

【請求項16】

規定のタイムデビエーション特性を満足するワンドを有するクロック信号を発生するためのワンド発生装置（21）と、

前記ワンド発生装置から出力されたクロック信号に同期したデジタル信号を試験対象のデジタル回線に送出する送信部（40）と、

前記試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、該受信したデジタル信号のクロック信号を再生する受信部（41）と

前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（42）と

前記受信部によって再生されたクロック信号のタイムデビエーション特性を測定するタイムデビエーション測定部（43）と、

表示装置（47）と、

前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイム

デビエーション特性と対比できるように前記表示装置に表示する表示制御手段（46）とを備えたデジタル回線試験装置。

【請求項17】

前記ワンダ発生装置が、前記請求項9または請求項10または請求項11または請求項12または請求項13または請求項14または請求項15記載のワンダ発生装置であることを特徴とする請求項16記載のデジタル回線試験装置

【請求項18】

デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、
デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（51）と、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段（131）とを備えたワンダ発生装置。

【請求項19】

デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

~~前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出~~
力する周波数シンセサイザ（151）と、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段（134、134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えたワンダ発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ワンダのあるクロック信号を発生するワンダ発生装置およびそれを含むデジタル回線試験装置に関する。

【0002】

【従来の技術】

~~デジタル回線に伝送されるデジタル信号は、伝送路上の雑音等の影響を受~~
けて位相が揺らぐ。

【0003】

この位相の揺らぎのうち、一般にその揺らぎの周波数が10Hzより高い成分をジッタ、10Hzより低い成分をワンダと呼んでおり、このような位相揺らぎが大きくなると、回線がそのデジタル信号を正しく伝達できなくなり、符号の誤りが大きくなる。

【0004】

したがって、デジタル回線の評価を行う場合、ジッタやワンダについての測

定が必要となる。

【0005】

ワンダに関する一つの評価方法として、タイムデビエーション（以下TDEVと記す）がある。

【0006】

TDEVの測定は、ワンダのあるデジタル信号のクロック信号成分と、基準のクロック信号との位相差TIE (Time Interval Error) を、その初期位相差に対する変化量として順次求め、このTIEデータをもとにして、次式の演算を行う。

【0007】

$$TDEV(\tau) = \left\{ \left(\frac{1}{6n^2} \right) \left(\frac{1}{m} \right) \sum_{j=1}^m \left[\sum_{i=j}^{n+j-1} (x_{i+2n-2} - x_{i+n} + x_i) \right]^2 \right\}^{1/2}$$

【0008】

ただし、 $m=N-3n+1$ 、 x_i はTIEサンプルデータ、 N は全サンプル数、 τ は積分時間 (Integration Time) ($\tau=n \cdot \tau_0$)、 n はサンプリング数 ($n=1, 2, \dots, N/3$)、 τ_0 はサンプリング周期、記号 $\sum_{j=1}^m$ は $j=1 \sim m$ までの総和、記号 $\sum_{i=j}^{n+j-1}$ は $i=j \sim n+j-1$ までの総和を示す。

【0009】

TDEV(τ)は、最大積分時間の12倍の測定時間の全TIEデータをもとに求める。例えば、サンプリング周期 τ_0 が1/80秒(12.5ミリ秒)のときに、 $\tau=1000$ 秒のTDEV(1000)を求める場合、12000秒(80サンプル/秒 \times 1000秒 \times 12=960000サンプル)分の測定データを使って上記式を計算する。

【0010】

このTDEVを用いてデジタル回線を評価する場合、位相揺らぎのないデジタル信号を試験対象の回線の一端に入力して他端側でTDEVの測定を行う方法や、ワンダを有するクロック信号に同期したデジタル信号を試験対象の回線

に入力するとともにそのワンドの大きさや周波数を変えながら、他端側でデジタル信号の誤り率を測定し、ワンドの大きさや周波数に対する回線の耐力を調べる方法等があった。

【 0 0 1 1 】

後者のようにワンドのあるデジタル信号を用いて試験対象の回線の評価を行うために、1 0 H z 以下の位相揺らぎをもつクロック信号を発生するワンド発生装置が用いられる。

【 0 0 1 2 】

図 4 0 は従来のワンド発生装置 1 0 の構成を示すもので、変調信号発生器 1 1 から出力される 1 0 H z より低い位相変調用の変調信号と、基準電圧発生器 1 2 から出力される基準電圧とを加算器 1 3 によって加算し、その加算器 1 3 の出力を V C O (電圧制御発振器) 1 4 に入力して、基準電圧に対応した中心周波数を持ち、変調信号によって位相変調されたクロック信号 C K を発生している。

【 0 0 1 3 】

このワンド発生装置 1 0 では、変調信号発生器 1 1 から出力される変調信号の周波数や振幅を可変することによって、クロック信号 C K のワンドの周波数や大きさを可変することができる。

【 0 0 1 4 】

【発明が解決しようとする課題】

ところで、近年では、T D E V マスク (M a s k) と呼ばれ A N S I 等によって規定された T D E V 特性を満足するワンドを有するデジタル信号を用いてデジタル回線の評価を行う方法が提案されている。

【 0 0 1 5 】

この T D E V マスクには、図 4 1 の (a) のように、ある積分時間 $\tau 1$ までは一定で、積分時間 $\tau 1$ を超える範囲では $\tau^{1/2}$ に比例して増加する特性 M 1 (A N S I T 1 . 1 0 1 - 1 9 9 4 の S e c t i o n 7 . 2 2 や、1 0 5 - 0 3 - 1 9 9 4 の S e c t i o n D . 2 . 2 . 1 等) や、図 4 1 の (b) のように、ある積分時間 $\tau 1$ までは一定で、積分時間 $\tau 1$ から $\tau 2$ までの範囲では τ^1 に比例して増加し、積分時間 $\tau 2$ を超える範囲では、 $\tau^{1/2}$ に比例して増加す

る特性M2 (ANSI T1.101-1994のSection 7.3.2
や、105-03-1994のSection D.2.1、同Section
D.2.2.2) 等がある。

【0016】

しかしながら、前記したように単信号の位相変調しかできない従来のワンダ発生装置10では、上記のように積分時間範囲毎に変化するようなTDEV特性を満足するクロック信号を発生させることは困難であり、このため、任意のTDEVマスク特性を満足するクロック信号を発生できるワンダ発生装置の実現が望まれていた。

【0017】

本発明は、上記課題を解決し、所望特性のワンダを有するクロック信号を容易に且つ精度良く発生させることができるワンダ発生装置およびこのワンダ発生装置を含むデジタル回線試験装置を提供することを目的としている。

【0018】

また、上記目的を達成するために本発明では、複数ビットの乱数からなる信号（雑音信号）に対してデジタル的なフィルタリング処理をフィルタ部で行い、このフィルタリング処理された信号によって周波数が変調されたクロック信号を発生するようにしているが、本発明は、このフィルタリング処理を行うためのフィルタ部の記憶素子の状態が定常状態になるまでの時間を短縮して、所望特性のワンダを有するクロック信号を速やかに発生できるワンダ発生装置を提供することを目的の一つとしている。

【0019】

また、本発明は、上記のように所望特性のワンダを有するクロック信号を出力できるようにしたときに、実際に出力されるクロック信号のワンダの特性を事前に確認できるワンダ発生装置を提供することを目的の一つとしている。

【0020】

【課題を解決するための手段】

前記目的を達成するために、本発明の請求項1のワンダ発生装置は、
所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定

速度で順次発生する乱数信号発生手段（25、121）と、

前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を行うフィルタ部（28、125）と、

クロック信号を発生するクロック発生手段（30、31、151）と、

前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段（30、151）と、

前記変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段（23、26、130）とを備えている。

【0021】

また、本発明の請求項2のワンダ発生装置は、請求項1記載のワンダ発生装置において、

前記乱数信号発生手段は、複数の擬似ランダム信号発生器を有し、該複数の擬似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されている。

【0022】

また、本発明の請求項3のワンダ発生装置は、請求項1記載のワンダ発生装置において、

前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算手段とを含んでいる。

【0023】

また、本発明の請求項4のワンダ発生装置は、請求項3記載のワンダ発生装置において、

前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とする。

【 0 0 2 4 】

また、本発明の請求項 5 のワンダ発生装置は、請求項 3 記載のワンダ発生装置において、

前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（51、141）と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（54、143）と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（56、145）とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とする。

【 0 0 2 5 】

また、本発明の請求項 6 のワンダ発生装置は、請求項 3 または請求項 4 または請求項 5 記載のワンダ発生装置において、

少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンダを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（131）を備えている。

【 0 0 2 6 】

また、本発明の請求項 7 のワンダ発生装置は、請求項 1 記載のワンダ発生装置において、

前記変調手段によって周波数が変調されたクロック信号のワンドの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えている。

【0027】

また、本発明の請求項8のデジタル回線装置は、

ワンドを有する試験信号を発生するワンド発生部（21、40）と、該ワンド発生部から試験対象のデジタル回線を経由した信号を評価するワンド測定部（41、43）とを備えたデジタル回線試験装置において、

前記ワンド発生部が、前記請求項1または請求項2または請求項3または請求項4または請求項5または請求項6または請求項7記載のワンド発生装置を含み、該ワンド発生装置から出力されたクロック信号に同期した試験信号を発生するように構成されている。

【0028】

また、本発明の請求項9のワンド発生装置は、

所望のタイムデビエーション特性を満足するワンドを有するクロック信号を発生するためのワンド発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段（22）と、

前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段（23）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（29）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトデジタルシンセサイザ（30）と、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（３１）とを備えている。

【００２９】

また、本発明の請求項１０のワンド発生装置は、請求項９記載のワンド発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（２５）と

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（２６）と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される雑白色雑音信号との畳込み演算を行い、前記周波変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（２８）とを備えている。

【００３０】

また、本発明の請求項１１のワンド発生装置は、請求項１０記載のワンド発生装置において、

前記インパルス応答演算手段は、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴としている。

【００３１】

また、本発明の請求項１２のワンド発生装置は、請求項１０記載のワンド発生装置において、

前記畳込み演算手段は、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことを特徴としている。

【００３２】

また、本発明の請求項１３のワンド発生装置は、請求項１０記載のワンド発生装置において、

前記インパルス応答演算手段は、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴としている。

【 0 0 3 3 】

また、本発明の請求項 1 4 のワンド発生装置は、請求項 9 記載のワンド発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段（51）と、

前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数に分割する前記各帯域毎のスペクトルの大きさに応じた重み付けを行う重み付け手段（54）と

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段（56）とを備えている。

【 0 0 3 4 】

また、本発明の請求項 1 5 のワンド発生装置は、請求項 1 0 または請求項 1 4 記載のワンド発生装置において、

前記雑音発生手段は、

それぞれ異なる初期位相で M 系列の擬似ランダム符号を発生する複数（m）組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめて m ビット並列の白色雑音信号として出力するように構成されている。

【0035】

また、本発明の請求項16のデジタル回線試験装置は、
規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置（21）と、

前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を
~~試験対象のデジタル回線に送出する送信部（40）と、~~

前記試験対象のデジタル回線から折り返されたデジタル信号を受信すると
ともに、該受信したデジタル信号のクロック信号を再生する受信部（41）と

、
前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（42）と

、
前記受信部によって再生されたクロック信号のタイムデビエーション特性を測定するタイムデビエーション測定部（43）と、

表示装置（47）と、

前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイムデビエーション特性と対比できるように前記表示装置に表示する表示制御手段（46）とを備えている。

【0036】

また、本発明の請求項17のデジタル回線試験装置は、請求項16記載のデジタル回線試験装置において、

前記ワンダ発生装置が、前記請求項9または請求項10または請求項11または請求項12または請求項13または請求項14または請求項15記載のワンダ発生装置であることを特徴としている。

【0037】

また、本発明の請求項18のワンダ発生装置は、

デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前

記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（51）と、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段（131）とを備えている。

【0038】

また、本発明の請求項19のワンダ発生装置は、

デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（151）と、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数

シンセサイザから出力されるクロック信号の特性を求める特性算出手段（134、134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えている。

【0039】

【発明の実施の形態】

以下、図面に基づいて本発明の実施形態を説明する。図1は、本発明の実施形態のデジタル回線試験装置20の全体構成を示している。

【0040】

このデジタル回線試験装置20は、任意のTDEVマスク特性を満足するワンドを有するクロック信号CK1を発生するワンド発生装置21を有している。このワンド発生装置21の詳細については後述し、先にデジタル回線試験装置20の全体構成を説明する。

【0041】

ワンド発生装置21から出力されたクロック信号CK1は送信部40に入力される。この送信部40は、ワンド発生装置21から出力されたクロック信号CK1に同期した所定パターンのデジタル信号（例えば擬似ランダム信号）Saを、出力端子20aを介して予め折り返しモードに設定された試験対象のデジタル回線1へ送出する。

【0042】

なお、送信部40は、クロック信号CK1に同期したデジタル信号以外に他のデジタル信号を多重化してデジタル回線1へ送出する場合もある。

【0043】

受信部41は、デジタル回線1から折り返されてきたデジタル信号Sa'を入力端子20bを介して受信し、この受信したデジタル信号Sa'からクロック信号CK1'を再生する。

【0044】

誤り測定部42は、受信部41が受信したデジタル信号Sa'の誤り測定を行うビット単位で行う。

【0045】

また、TDEV測定部43は、受信部41によって再生されたクロック信号CK1'のタイムデビエーションを測定する。

【0046】

このTDEV測定部43は、図2に示すように、TIE検出部44とTDEV演算部45によって構成されており、TIE検出部44は、受信したクロック信号CK1'と基準クロック発生器44aから出力される基準クロック信号CK2とを位相比較器44bに入力して両者の位相差を検出し、この位相比較44bの出力から10Hz以下のワンダ成分を低域通過フィルタ(LPF)44cによって抽出し、このワンダ成分信号をA/D変換器44dによって所定のサンプリング周期(例えば12.5mS)でサンプリングしてディジタル値に変換し、これをTIEデータとしてTDEV演算部45に出力する。

【0047】

TDEV演算部45は、TIE検出部44から出力されるTIEデータについて前記したTDEVの演算を行う。

【0048】

表示制御手段46は、誤り測定部42の測定結果Eを表示装置47に表示するとともに、TDEV測定部43の測定結果を、前記したワンダ発生装置21の規定のTDEV特性と対比できるように表示装置47に表示する。

【0049】

このように構成されているので、このディジタル回線試験装置20は、試験対象のディジタル回線1のワンダについての評価を容易に且つ効率的に行うことができる。

【0050】

また、このディジタル回線試験装置20は、その出力端子20aと入力端子20bとを直結すれば、ワンダ発生装置21が発生するクロック信号CK1のTDEV特性を測定することができ、表示制御手段47はこの測定結果を規定のTDEVマスクと対比できるように表示装置47に表示することもできる。

【0051】

なお、このデジタル回線試験装置20は、上記したように、ワンダ発生装置21から出力されたワンダのあるクロック信号に同期したデジタル信号を送信部40を介して試験対象のデジタル回線1へ出力し、試験対象のデジタル回線を経由したデジタル信号のクロック信号成分を受信部41を介して再生し、そのクロック信号のワンダのタイムデビエーション特性をTDEV測定部44によって求めている。したがって、このデジタル回線試験装置20のワンダ発生装置21および送信部40は、本発明の請求項8のワンダ発生部に相当し、受信部41およびTDEV測定部44は、本発明の請求項8のワンダ測定部に相当している。

【0052】

次に、ワンダ発生装置21の構成について説明するが、この構成の説明の前に、その概要を説明する。

【0053】

このワンダ発生装置21は、TDEV特性に対応する周波数変動の電力スペクトル密度分布特性に基づいて、このTDEV特性のワンダを有するクロック信号を発生している。

【0054】

即ち、ワンダのTDEV (τ) (ns) の特性と、そのワンダの時間変動の電力スペクトル密度分布 $S_x(f)$ (ns^2/Hz) との間には、次の関係が成立することが知られている。

【0055】

$$S_x(f) = (0.75/f) [TDEV(0.3/f)]^2$$

【0056】

例えば、前記図41の(b)に示したTDEVマスクM2のような特性では、積分時間が τ_1 まではTDEV(τ)が一定であるから、図3のように、周波数が $0.3/\tau_1 = f_2$ を超える範囲の電力スペクトル密度分布 $S_x(f)$ は $1/f$ に比例して減少し、積分時間が τ_1 から τ_2 までの範囲ではTDEV(τ)が τ に比例($1/f$ に比例)して増加するので、周波数が $0.3/\tau_1 \sim 0.3/\tau_2 (=f_1)$ の範囲の $S(f)$ は $(1/f) \cdot (1/f)^2 = 1/f^3$ に比例

して減少し、積分時間が τ_2 を超える範囲では、 $TDEV(\tau)$ が $\tau^{1/2}$ に比例($1/f^{1/2}$ に比例)して増加する特性では周波数が f_1 より低い範囲では $S(f)$ は $(1/f) \cdot (1/f) = 1/f^2$ に比例して減少する。

【0057】

一方、時間変動の電力スペクトル密度分布特性 $S_x(f)$ と周波数変動の電力スペクトル密度分布特性 $S_y(f)$ との間には、

$$S_y(f) = \omega^2 \cdot S_x(f) = (2\pi f)^2 \cdot S_x(f)$$

の関係があることが知られている。

【0058】

つまり、前記した時間変動の電力スペクトル密度分布特性 $S_x(f)$ は、図4に示すように、周波数 f_1 までは一定で、周波数 $f_1 \sim f_2$ の範囲では -3 dB/oct で減少し、周波数 f_2 を超える範囲では 3 dB/oct で増加する周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に対応している。

【0059】

そこで、このワンダ発生装置21では、周波数について一様分布する白色雑音に対してフィルタリング処理を行って、図4の電力スペクトル密度分布特性 $S_y(f)$ の揺らぎ信号列 $y(k)$ を発生させ、これを後述するDDS30によって積分することで、前記のTDEVマスク特性のクロック信号を得ている。

【0060】

また、このフィルタリング処理をデジタルの白色雑音信号列に対して行うために、図4の特性 $S_y(f)$ に近似する伝達関数のインパルス応答を求め、このインパルス応答の演算によって得られたタップ係数と白色雑音信号列との畳込み演算を行っている。

【0061】

次に、ワンダ発生装置21の具体的な構成について説明する。このワンダ発生装置21は、図5に示すように、中心周波数設定手段22、特性情報設定手段23、揺らぎ信号列発生部24、加算器29、DDS(ダイレクトデジタルシンセサイザ)30、クロック信号出力回路31によって構成されている。

【0062】

中心周波数設定手段 2 2 は、出力するクロック信号 C K 1 の中心周波数（例えば 2 M H z）、即ち、D D S 3 0 の出力信号の中心周波数を決めるデータ Y_0 を設定するためのものである。

【 0 0 6 3 】

特性情報設定手段 2 3 は、出力したい所望の T D E V マスク特性に対応する電力スペクトル密度分布特性 $S_y(f)$ の形状や折れ曲がり点の周波数情報等の特性情報を設定するためのものである。

【 0 0 6 4 】

揺らぎ信号列発生部 2 4 は、特性情報設定手段 2 3 によって設定された特性情報に基づいて、白色雑音に対するフィルタリング処理を行い、所望の T D E V マスク特性に対応する周波数変動の電力スペクトル密度分布特性 $S_y(f)$ を満足する揺らぎ信号列 $y(k)$ を発生する。

【 0 0 6 5 】

加算器 2 9 は、中心周波数設定手段 2 2 によって設定されたデータ Y_0 と揺らぎ信号発生部 2 4 から出力される揺らぎ信号列 $y(k)$ とを加算し、その加算結果 $u(k)$ を D D S 3 0 に出力する。

【 0 0 6 6 】

D D S 3 0 は、加算器 3 0 a と、加算器 3 0 a の出力をクロック信号 C K 3 に同期してラッチするラッチ回路 3 0 b と、正弦波データが連続したアドレス領域に予め記憶されラッチ回路 3 0 b の出力で指定されたアドレスのデータを読み出す波形メモリ 3 0 c と、波形メモリ 3 0 c から読み出されたデータをアナログ信号に変換する D / A 変換器 3 0 d とからなり、加算器 2 9 から出力される値に対応した周波数の階段波状の信号を出力する。

【 0 0 6 7 】

この D D S 3 0 のクロック信号 C K 3 は、クロック信号 C K 1 に比べてはるかに高速（例えば 5 0 M H z 程度）であり、ここでは、加算器 2 9 から出力される値 $u(k)$ に等しい周波数の信号を出力できるように、波形メモリ 3 0 a のアドレス数、クロック信号 C K 3 の周波数が予め設定されているものとする。

【 0 0 6 8 】

DDS 3 0 の出力信号はクロック信号出力回路 3 1 に入力される。クロック信号出力回路 3 1 は、DDS 3 0 の出力信号を波形整形してクロック信号 CK 1 を出力するために、DDS 3 0 から出力される階段波状の信号をデータ Y_0 に対応する帯域通過フィルタ (BPF) 3 1 a によって正弦波に変換してコンパレータ 3 1 b に入力する。コンパレータ 3 1 b は、低域通過フィルタ 3 1 a から出力される正弦波信号としきい値 V_r とを比較し、正弦波信号がしきい値 V_r より小的时候きローレベル、正弦波信号がしきい値 V_r 以上のときハイレベルとなる 2 値化されたクロック信号 CK 1 を出力する。

【 0 0 6 9 】

ここで、DDS 3 0 およびクロック信号出力回路 3 1 は、後述するように、揺らぎ信号列発生部 2 4 の畳込み演算手段 2 8 から出力される揺らぎ信号列 $y(k)$ によって周波数が変調されたクロック信号を生成する。したがって、DDS 3 0 およびクロック信号出力回路 3 1 は、本発明の請求項 1 のクロック発生手段に相当し、DDS 3 0 には本発明の請求項 1 の変調手段に相当する部分が含まれている。

【 0 0 7 0 】

一方、揺らぎ信号列発生部 2 4 は、白色雑音信号 $n(k)$ を発生する雑音発生手段 2 5 と、特性情報設定手段 2 3 によって設定された特性情報とに基づいて、前記電力スペクトル密度分布特性 $S_y(f)$ に近似する伝達関数のインパルス応答の時間毎のタップ係数を演算するインパルス応答演算手段 2 6 と、このインパルス応答演算手段 2 6 によって算出された各時間毎のタップ係数を記憶するメモリ 2 7 と、雑音発生手段 2 5 から出力される白色雑音信号 $n(k)$ とメモリ 2 7 に記憶された各時間毎のタップ係数とによる畳込み演算を行い、前記相対電力スペクトル密度分布特性 S' を満足する揺らぎ信号列 $y(k)$ を発生する畳込み演算手段 2 8 とを備えている。

【 0 0 7 1 】

この雑音発生手段 2 5 は、M 系列の擬似ランダム信号に基づいて白色雑音信号 $n(k)$ を生成するものであり、その構成例を図 6、図 7 に示す。

【 0 0 7 2 】

図6の雑音発生手段25は、1組の擬似ランダム信号発生回路からなり、複数P段直列のシフトレジスタ25aと、シフトレジスタ25aの所定段(Pによって決まる)の出力同士の排他的論理和をとるEXOR回路25bとからなり、シフトレジスタ25aに全ビット0でない初期値をセットして、クロック信号CK4を受ける毎に各段の1ビットデータをシフトさせるように構成されており、P段のうちの任意のm段(例えば8段)の出力をmビット並列の白色雑音信号n(k)として順次出力する。

【0073】

また、図7の雑音発生手段25は、より理想の白色雑音に近似した白色雑音信号を生成するために、前記したシフトレジスタ25aとEXOR回路25bからなる擬似ランダム信号発生回路をm組設け、初期値設定手段25cによってシフトレジスタ25a₁～25a_mにそれぞれ異なる初期値(全ビット0でない)をセットして、クロック信号CK4を受ける毎に各シフトレジスタ25a₁～25a_mがそれぞれ各段の1ビットデータをシフトさせるように構成され、各シフトレジスタ25a₁～25a_mの一つ段の出力をまとめてmビット並列の白色雑音信号n(k)として順次出力する。

【0074】

なお、各シフトレジスタ25a₁～25a_mに設定される初期値は、互いに十分離れているものとする。例えば、P段のシフトレジスタ25a₁～25a_mをもつ擬似ランダム信号発生回路の場合、最大で $2^P - 1$ 通りの符号が得られるので、1組目のシフトレジスタ25a₁には例えば全ビット1を初期値として設定し、2組目のシフトレジスタ25a₂には、全ビット1の状態から約 $(2^P - 1) / m$ 回だけ進んだ値を初期値として設定し、3組目のシフトレジスタ25a₃には、全ビット1の状態から約 $2(2^P - 1) / m$ 回だけ進んだ値を初期値として設定するというようにすれば、各シフトレジスタ25a₁～25a_mの初期値は、ほぼ $(2^P - 1) / m$ 以上の差を持つことになり、Pがmに対して十分大きければ、各シフトレジスタ25a₁～25a_mの出力は無相関なものとなり、これらを1ビットずつまとめてmビット並列にした白色雑音信号n(k)は理想の白色雑音にきわめて近いものとなる。

【0075】

なお、このように構成された雑音発生手段25は、シフトレジスタとEX-OR回路からなる擬似ランダム信号発生回路によって決まる所定のアルゴリズムにしたがって、複数ビットの乱数からなる雑音信号をクロック信号CK4によって決まる一定速度で順次出力するものである。したがって、この雑音発生手段25は、本発明の請求項1の乱数信号発生手段に相当しており、図7に示したように、複数組の擬似ランダム信号発生器の出力を合成したものは、本発明の請求項2の乱数信号発生手段に相当している。

【0076】

インパルス応答演算手段26は、特性情報設定手段23によって設定された特性情報に基づいて、電力スペクトル密度分布特性 $S_y(f)$ に近似する伝達関数のインパルス応答の時間毎のタップ係数 $h(t)$ を演算する。

【0077】

例えば、図4の特性 $S_y(f)$ のように、周波数 f_1 までは一定で、周波数 $f_1 \sim f_2$ の範囲では -3 dB/oct で減少し、周波数 f_2 を超える範囲では 3 dB/oct で増加する特性の伝達関数は、次の伝達関数 $H(f)$ で近似されることが知られている。

【0078】

$$H(f) = (1 + j f / f_2) / [1 + A b s (f / f_1)]^{1/2}$$

ただし、 $A b s (f / f_1)$ は f / f_1 の絶対値を示す。

【0079】

そして、この伝達関数 $H(f)$ のインパルス応答 $h(t)$ は、

$$h(t) = \int_{-\infty}^{\infty} H(f) e^{j 2 \pi f t} d f$$

と表される。

【0080】

インパルス応答演算手段26は、前記図4のような特性の特徴と、その折れ曲がり部分の周波数(f_1 、 f_2 等)とが特性情報として設定されると、上記インパルス応答 $h(t)$ をその設定値に基づいて演算する。

【0081】

図8は、前記伝達関数 $H(f)$ のインパルス応答 $h(t)$ の演算結果を示すものであり、 $t < 0$ の範囲ではインパルス応答 $h(t)$ は正で且つ t の絶対値が大きい程0に近くなり、 t の絶対値が0に近くなると急激に大きくなる。また、 $t > 0$ の範囲ではインパルス応答 $h(t)$ は t の絶対値が大きいほど正で0に近づき、 t の絶対値が0に近くなると負になって急激に小さくなる。

【0082】

このインパルス応答演算手段26は、上記応答のT時間間隔の $h(t)$ の値（タップ係数という）を求めるが、 $t = 0$ の特異点をとらないように初期時点 t_0 を $(-N/2)T + T/2 = -(N+1)T/2$ として、 $h(t_0 + rT)$ の値を、

$$-(N-1)T/2 \leq t \leq (N-1)T/2$$

の時間範囲でN個（Nを偶数とする）求めている。

【0083】

なお、この時間範囲は、この時間範囲内で正、この時間範囲外では0となる窓関数 $g(t)$ をインパルス応答 $h(t)$ に積算することによって制限している。

【0084】

このインパルス応答演算手段26によって算出された各時間毎のタップ係数 $h(t_0 + kT)$ はメモリ27に記憶される。

【0085】

畳込み演算手段28は、雑音発生手段25から出力される白色雑音信号 $n(k)$ とメモリ27に記憶された各時間毎のタップ係数 $h(t_0 + rT)$ とによる次式の畳込み演算を行い、前記電力スペクトル密度分布特性 $S_y(f)$ を満足する揺らぎ信号列 $y(k)$ を発生する。

【0086】

$$\begin{aligned} y(k) &= \sum_{r=0}^{N-1} n(k-r) h(t_0 + rT) \\ &= n(k) h(t_0) \\ &\quad + n(k-1) h(t_0 + T) \\ &\quad + n(k-2) h(t_0 + 2T) \end{aligned}$$

$$+n(k-3)h(t_0+3T)$$

.....

$$+n(k-N+1)h[t_0+(N-1)T]$$

【0087】

ここで、上記畳込み演算は、入力される白色雑音信号 $n(k)$ と予め設定されたタップ係数 $h(t_0+rT)$ との積和演算であり、この積和演算は、雑音発生手段25から出力される白色雑音信号 $n(k)$ に対しデジタル的なフィルタリング処理を行っていることと等価である。したがって、この畳込み演算手段28は、本発明の請求項1、3、4のフィルタ部に相当している。

【0088】

また、この畳込み演算手段28に設定されるタップ係数は、前記したように、所望のタイムデビエーション特性のワンダを得るために、特性情報設定手段23によって設定された特性情報に基づいてインパルス応答演算手段26が算出したものであり、このタップ係数によって畳込み演算手段28から出力される揺らぎ信号列 $y(k)$ のスペクトラム特性が決定される。したがって、特性情報設定手段23およびインパルス応答演算手段26は、本発明の請求項1の設定手段に相当している。

【0089】

ここで、上記畳込み演算を実際に行う場合、その演算順序を工夫することにより、誤差を少なくすることができる。

【0090】

即ち、タップ係数 $h(t_0+rT)$ の絶対値は、 t_0+rT が0に近い領域で非常に大きく、0から遠い領域では非常に小さいため、上記演算を浮動小数点で単純に時刻順に行うと、 t_0+rT が0に近い範囲まで積和演算が行われたときに、その演算結果の桁数が非常に大きくなってしまい、それ以後に行われる t_0+rT がプラスで且つ0から遠い領域の演算結果がアンダーフローしてしまい、精度が低下する。

【0091】

これを防ぐために、タップ係数の絶対値が小さい領域 (t が0から遠い領域)

の積和演算を優先的に行なってその演算結果の桁を高くしてから、タップ係数の絶対値が大きい領域（ t が 0 に近い領域）の積和演算を行うようにする。

【0092】

この演算順序は種々考えられるが、ここではその具体例を 2 つ説明する。

第 1 の方法は、 t が正の範囲の積和演算と t が負の範囲の積和演算とをそれぞれ独立に 0 から遠い方から順番に行い、両者を最後に加算するものである。

【0093】

即ち、以下の積和演算をそれぞれ前の項から後ろの項へ順番に行う。

$$\begin{aligned}
 y_{-}(k) &= n(k) h(t_0) \\
 &\quad + n(k-1) h(t_0 + T) \\
 &\quad + n(k-2) h(t_0 + 2T) \\
 &\dots\dots \\
 &\quad + n(k-N/2+1) h[t_0 + (N/2-1)T] \\
 y_{+}(k) &= n(k-N+1) h[t_0 + (N-1)T] \\
 &\quad + n(k-N+2) h[t_0 + (N-2)T] \\
 &\quad + n(k-N+3) h[t_0 + (N-3)T] \\
 &\dots\dots \\
 &\quad + n(k-N/2) h[t_0 + (N/2)T]
 \end{aligned}$$

【0094】

そして、最後に、

$$y(k) = y_{-}(k) + y_{+}(k)$$

の演算を行う。

【0095】

第 2 の方法は、 t が正の範囲と負の範囲の積和演算を 0 から遠い方から順番に且つ交互に行うものである。

【0096】

即ち、次の演算を前の項から後ろ項へ順番に行う。

$$\begin{aligned}
 y(k) &= n(k) h(t_0) \\
 &\quad + n(k-N+1) h[t_0 + (N-1)T]
 \end{aligned}$$

$$\begin{aligned}
&+n(k-1)h(t_0+T) \\
&+n(k-N+2)h[t_0+(N-2)T] \\
&+n(k-2)h(t_0+2T) \\
&+n(k-N+3)h[t_0+(N-3)T] \\
&\dots\dots
\end{aligned}$$

$$+n(k-N/2+1)h[t_0+(N/2-1)T]$$

$$+n(k-N/2)h[t_0+(N/2)T]$$

【0097】

このように、タップ係数の絶対値が小さい領域（ t が 0 から遠い領域）の積和演算を優先的に行なってその演算結果の桁を高くしてから、タップ係数の絶対値が大きい領域（ t が 0 に近い領域）の積和演算を行うことで、浮動小数点演算のアンダーフローによる精度の低下を防ぐことができる。

【0098】

また、上記畳込み演算を行う場合、メモリ 27 に記憶された N 個のタップ係数と、現段階の白色雑音信号 $n(k)$ とそれより $N-1$ 個前までの白色雑音信号 $n(k-1) \sim n(k-N+1)$ が必要となる。

【0099】

この $N-1$ 個の白色雑音信号 $n(k-1) \sim n(k-N+1)$ は、予めメモリに記憶しておいて読み出す方法と、雑音発生手段 25 として雑音信号を逆戻しできるものを用いて毎回発生する方法とが考えられるが、ここでは、前者の方法について説明し、後者の方法については後で説明する。

【0100】

前者のメモリを用いる方法では、雑音発生手段 25 または畳込み演算手段 28 のいずれかに、図 9 に示すように、 m ビットの雑音信号をシフトクロック $CK5$ を受ける毎に順次後段へシフトさせながら記憶する $N-1$ 段（ N 段でもよい）のシフトレジスタ 50 をメモリとして設けておく。

【0101】

そして、初期段階に予め $N-1$ 個までの雑音信号 $n(k-1) \sim n(k-N+1)$ を前記雑音発生手段 25 から発生させてこのシフトレジスタ 50 に記憶して

おき、次に発生した雑音信号 $n(k)$ とシフトレジスタ 50 に記憶されている雑音信号 $n(k-1) \sim n(k-N+1)$ とを用いて前記畳込み演算を行ってから、シフトクロック CK 5 を与えてこの雑音信号 $n(k)$ をシフトレジスタ 50 に記憶させ、次の雑音信号 $n(k+1)$ が発生したときに、この雑音信号 $n(k+1)$ とシフトレジスタ 50 に記憶されている雑音信号 $n(k) \sim n(k-N+2)$ を用いて上記畳込み演算を行うという動作を繰り返す。

【0102】

なお、このときのシフトクロック CK 5 は、雑音発生手段 25 のクロック信号 CK 4 と同期させる。

【0103】

このような畳込み演算を行うことによって得られた揺らぎ信号列 $y(k)$ は、前記したように、加算器 29 に入力されて中心周波数を定めるデータ Y_0 と加算され、その加算結果 $u(k)$ が DDS 30 に入力される。

【0104】

DDS 30 では、加算器 29 から出力された加算結果 $u(k)$ を高速（クロック信号 CK 2 の速度）で累積（積分）しながら波形メモリ 30c のデータを読み出す。

【0105】

このため、例えば図 10 の (a) のように揺らぎ信号列 $y(k)$ が正のときには、図 10 の (c) のようにクロック信号 CK 1 の周波数が Y_0 より $y(k)$ 分高くなって、その位相が図 10 の (b) の基準位相に対して揺らぎ信号列 $y(k)$ の累積分だけ進んでゆき、揺らぎ信号列 $y(k)$ が負のときには、クロック信号 CK 1 の周波数が Y_0 より $y(k)$ 分低くなって、その位相が基準位相に対して揺らぎ信号列 $y(k)$ の負の累積分だけ遅れていく。

【0106】

つまり、クロック信号 CK 1 は、揺らぎ信号列 $y(k)$ の積分結果に相当する位相変動を受けて周波数が変調されることになり、このクロック信号 CK 1 の時間変動の電力スペクトル密度分布特性を前記特性 $S_x(f)$ に近似させることができ、前記 TDEV マスク M2 のワンダを有するクロック信号 CK 1 を発生する

ことができる。

【0107】

このように構成されたワンダ発生装置 21 から出力されたクロック信号 CK1 は、前記したように送信部 40 に入力され、このクロック信号 CK1 に同期したデジタル信号 Sa が試験対象のデジタル回線 1 へ送出される。

【0108】

そして、このデジタル回線 1 から折り返されてくるデジタル信号 Sa' が受信部 41 で受信され、その誤り率が誤り測定部 42 で測定されるとともに、受信部 41 で再生されたクロック信号 CK1' の TDEV が TDEV 測定部 43 によって測定される。

【0109】

誤り測定部 42 の測定結果 E は、表示制御手段 46 によって表示装置 47 に例えば数値で表示され、TDEV 測定部 43 の測定結果は、例えば図 11 の特性 F1 または F2 のように、規定の TDEV 特性 (TDEV マスク M2) と対比できるように表示される。

【0110】

なお、図 11 の特性 F1 のように TDEV マスク M2 より低い TDEV 特性が測定された場合には、デジタル回線 1 においてワンダが抑圧されていることが判り、図 11 の TDEV 特性 F2 のように TDEV マスク M2 より高い TDEV 特性が測定された場合には、デジタル回線 1 においてワンダが増加していることが判る。

【0111】

前記説明では、TDEV マスク M2 に対応した電力スペクトル密度分布特性 $S_y(f)$ の揺らぎ信号列を発生させるためのフィルタの伝達関数として、

$$H(f) = (1 + j f / f_2) / [1 + \text{Abs}(f / f_1)]^{1/2}$$

を用いて近似しているが、この伝達関数の絶対値の平方 $|H(f)|^2$ は、図 12 に示すように、理想の電力スペクトル密度分布特性 $S_y(f)$ に対して、その折れ曲がり部分と上限周波数部分で誤差が発生し、この誤差によって、クロック信号 CK1 の TDEV 特性 M2' は、図 13 のように規定の TDEV マスク M2

に対して τ_1 、 τ_2 および τ が0に近い部分で誤差が生じる。

【0112】

この誤差は補正関数を用いて補正することができる。

この補正関数 $W(f)$ としては、例えば図14に示すように、 f_1 に近い周波数 f_1' を中心とする帯域 B_1 で増大しその周波数 f_1' でピーク(A_1)となり、 ~~f_2 に近い周波数 f_2' を中心とする帯域 B_2 で減少しその周波数 f_2' で~~ボトム(A_2)となり、上限周波数(10Hz)に近い周波数 f_3' を中心とする帯域 B_3 で増大しその周波数 f_3' でピーク(A_3)となり、他の部分では一定となる特性の関数を用いる。

【0113】

このような特性の補正関数 $W(f)$ の一般式は、次のように表される。

$$\begin{aligned} W(f) = & 1 + A_1 \{ \exp [- ((f - f_1') / B_1)^2] / 2 \\ & + A_1 \{ \exp [- ((f + f_1') / B_1)^2] / 2 \\ & + A_2 \{ \exp [- ((f - f_2') / B_2)^2] / 2 \\ & + A_2 \{ \exp [- ((f + f_2') / B_2)^2] / 2 \\ & + A_3 \{ \exp [- ((f - f_3') / B_3)^2] / 2 \\ & + A_3 \{ \exp [- ((f + f_3') / B_3)^2] / 2 \end{aligned}$$

【0114】

この補正関数 $W(f)$ と前記伝達関数 $H(f)$ との積算によって得られる補正伝達関数 $H(f)'$ の絶対値の平方 $|H(f)'|^2$ は、図15のように、理想の電力スペクトル密度分布特性 $S_y(f)$ にさらによく近似する。

【0115】

したがって、インパルス応答演算手段26において、前記した伝達関数 $H(f)$ のインパルス応答 $h(t)$ と、この補正関数 $W(f)$ のインパルス応答 $w(t)$ および窓関数 $g(t)$ とを用いて、

$$h'(t) = \{ h(t) * w(t) \} \cdot g(t)$$

の演算を行ってタップ係数を求め、このタップ係数を用いて畳込み演算を行うようにすれば、図16に示すように、クロック信号CK1のTDEV特性 M_2'' を、規定のTDEVマスク M_2 にさらに近似させることができ、より確度の高い測

定が可能となる。

【0116】

また、前記説明では、白色雑音信号 $n(k)$ とタップ係数 $h(t_0 + rT)$ とをメモリ27およびシフトレジスタ50から読み出して畳込み演算を行う場合について説明したが、前記したように、雑音発生手段25として擬似ランダム信号を逆順に発生できるものを用いることにより前記シフトレジスタ50を用いることなく畳込み演算が行え、また、この逆順が可能な雑音発生手段25を用いるとともに、インパルス応答演算手段26がタップ係数を指定した順に算出するように構成しておけば、メモリ27およびシフトレジスタ50を用いることなく畳込み演算が行え、メモリを大幅に節約でき、装置のハードウェア構成を簡素化できる。

【0117】

ここで、擬似ランダム信号を正順と逆順で発生する雑音発生手段25は、正順の生成多項式に対する相反多項式を用いることで実現できる。

【0118】

以下、この原理を擬似ランダム信号の符号周期が短いもので説明する。

例えば正順の生成多項式 $p(x)$ が次式、

$$p(x) = x^4 + x + 1$$

とすると、その相反多項式 $q(x)$ は次式のようになる。

【0119】

$$\begin{aligned} q(x) &= x^4 p(x^{-1}) \\ &= x^{4-4} + x^{4-1} + x^4 \\ &= x^4 + x^3 + 1 \end{aligned}$$

【0120】

この生成多項式 $p(x)$ と相反多項式 $q(x)$ を用いた雑音発生手段25の例を図17に示す。

【0121】

この雑音発生手段25は、4段のシフトレジスタ25aと、シフトレジスタ25aの3段目 (x^1) と4段目 (x^0) の出力の排他的論理和をとる正順用のE

XOR回路25bと、シフトレジスタ25aの1段目(x^3)と4段目(x^0)の出力の排他的論理和をとる逆順用のEXOR回路25dと、EXOR回路25aとEXOR回路25dの出力を選択的に1段目に戻すスイッチ25eとによって構成されており、図示しない制御回路によってスイッチ25eの切り換えとクロック信号CK4'の入力がなされる。

【0122】

この雑音発生手段25において、初期値として全段に1を設定してからスイッチ25eを正順側に接続してクロック信号CK4'を入力したときには、図18の(a)に示すようにシフトレジスタ25aの内部状態が状態1～状態15まで遷移して再び状態1に戻るという動作が繰り返される。

【0123】

また、初期値として全段に1を設定してからスイッチ25eを逆順側に接続して、クロック信号CK4'を入力したときには、図18の(b)に示すようにシフトレジスタ25aの内部状態が状態1～状態15まで遷移して再び状態1に戻るという動作が繰り返される。

【0124】

ここで、正順の場合の状態1から状態15までの1段目の出力データは、
 [100010011010111]
 の順に変化し、逆順の場合の状態1～状態15までの1段目の出力データは、
 [101011001000111]
 の順に変化する。

【0125】

この1段目同士の出力データを比較すると、正順の出力データは、逆順の出力データの第13ビット目から第1ビット目まで戻り、第15ビット目、第14ビット目に移った場合と一致する。

【0126】

即ち、正順の場合の1段目のデータが、図19の(a)に示すように、
 $d_1 \rightarrow d_2 \rightarrow d_3 \rightarrow \dots \rightarrow d_{13} \rightarrow d_{14} \rightarrow d_{15} \rightarrow d_1 \rightarrow \dots$
 と繰り返すのに対し、逆順の場合の1段目のデータは、図19の(b)に示すよ

うに、

$d\ 1\ 3 \rightarrow d\ 1\ 2 \rightarrow d\ 1\ 1 \rightarrow \dots \rightarrow d\ 1 \rightarrow d\ 1\ 5 \rightarrow d\ 1\ 4 \rightarrow d\ 1\ 3 \rightarrow \dots$

と繰り返す。

【0 1 2 7】

したがって、スイッチ 2 5 e を正順側に接続してクロック CK 4' を入力したときの 1 段目の出力データ列に対して、~~スイッチ 2 5 e を逆順側に接続してクロック CK 4' を入力したときの 1 段目の出力データ列は、逆の順に出力されることになる。~~

【0 1 2 8】

ただし、図 2 0 の状態対応図に示すように、逆順の場合のシフトレジスタ 2 5 a の状態変化は、正順のときの逆になっていないので、データを正順で出力していた状態からスイッチ 2 5 e を逆順側に単純に切り換えただけでは、データの連続性を維持することはできない。

【0 1 2 9】

このデータの連続性を維持するためには、図 1 9 のデータの位置関係と、図 2 0 の状態対応情報とを用いてシフトレジスタ 2 5 a の状態を設定する必要がある。

【0 1 3 0】

例えば、正順で状態 4 までシフトして EXOR 回路 2 5 b からデータ d 5 を出力している状態から、 $d\ 4 \rightarrow d\ 3 \rightarrow d\ 2 \rightarrow \dots$ の順にデータを逆順に出力する場合について考えると、~~逆順で EXOR 回路 2 5 d からデータ d 5 が出力されるのは逆順の状態 8 のときであるから、この状態 8 より一つ進んだ状態 9 から逆順でデータを出力すれば、 $d\ 4 \rightarrow d\ 3 \rightarrow d\ 2 \rightarrow \dots$ の順にデータを出力することができる。~~

【0 1 3 1】

ここで、正順の状態 4 から逆順の状態 9 に移行する方法は 2 通りある。その一つは、逆順の状態 9 が正順の状態 8 と等しいことを利用するもので、図 1 8 で実線の矢印で示しているように、正順のままでクロック信号 CK 4' を与えて状態 4 から状態 8 まで進めて（この際雑音発生手段 2 5 から出力されるデータを d 5

のままに保持しておく)、逆順の状態 9 にしてからスイッチ 2 5 e を逆順側に切り換える方法である。

【0 1 3 2】

また、もう一つの方法は、正順の状態 4 が逆順の状態 1 2 と等しいことを利用するもので、図 1 8 で一点鎖線の矢印で示しているように、正順の状態 4 からスイッチ 2 5 e を逆順側に切り換え、クロック信号 $CK 4'$ を与えて逆順の状態 1 2 から状態 9 まで進める(この際雑音発生手段 2 5 から出力されるデータを d 5 のままに保持しておく)方法である。

【0 1 3 3】

このように、スイッチ 2 5 e の切り換えとクロック信号 CK' の供給を制御することで、正順の任意の状態から逆順にデータを出力することができ、また、詳述しないが、前記方法と逆の制御を行うことにより、逆順の任意の状態から正順にデータを出力することもできる。

【0 1 3 4】

上記説明は理解しやすいように符号周期が短い場合で説明したが、上記した相反多項式を利用した正逆自在の雑音発生手段 2 5 は、符号周期が長いものについても全く同様に構成できる。

【0 1 3 5】

例えば、正順の生成多項式 $p(x)$ が次式、

$$p(x) = x^{96} + x^7 + x^6 + x^4 + x^3 + x^2 + 1$$

の場合、その相反多項式 $q(x)$ は次式のようにになる。

【0 1 3 6】

$$\begin{aligned} q(x) &= x^{96} p(x^{-1}) \\ &= 1 + x^{96-7} + x^{96-6} + x^{96-4} + x^{96-3} + x^{96-2} + x^{96} \\ &= x^{96} + x^{94} + x^{93} + x^{92} + x^{90} + x^{89} + 1 \end{aligned}$$

【0 1 3 7】

この生成多項式 $p(x)$ と相反多項式 $q(x)$ とを用いた擬似ランダム信号発生回路を図 2 1 に示す。

【0138】

この擬似ランダム信号発生回路は、96段のシフトレジスタ25aと、シフトレジスタ25aの最終段から数えて1段目(x^0)、3～5段目($x^2 \sim x^4$)、7段目(x^6)および8段目(x^7)の出力の排他的論理和をとる正順用のEXOR回路25bと、最終段から数えて1段目(x^0)、90段目(x^{89})、91段目(x^{90})および93～95段目($x^{92} \sim x^{94}$)の出力の排他的論理和をとる逆順用のEXOR回路25dと、EXOR回路25bとEXOR回路25dの出力を選択的に初段に戻すスイッチ25eとによって構成されており、前記同様に図示しない制御回路によってスイッチ25eの切り換えとクロック信号CK4'の供給制御がなされる。

【0139】

この図21の回路においても、前記の符号周期の短い場合と同様に、スイッチ25eを正順側に接続してクロックCK4'を入力したときの出力データ列に対して、スイッチ25eを逆順側に接続してクロックCK4'を入力したときの出力データ列は逆の順に出力され、スイッチ25eの切り換えとクロック信号CK'の供給を前記同様にデータの位置関係と状態対応図に基づいて制御することで、正順（または逆順）の任意の状態から逆順（または正順）に連続したデータを出力することができる。

【0140】

なお、上記説明では、シフトレジスタ25aの初段の出力について説明したが、他の段の出力についても正順と逆順の関係が得られるので、任意の段からデータを出力してもよい。ただし、異なる2つ以上の段から出力される並列データについては上記関係が成立しないので、上記した正逆自在の擬似ランダム信号発生回路は、図7に示したように、複数mの擬似ランダム信号発生回路から1ビットずつデータを出力してmビット並列の白色雑音信号を出力する雑音発生手段25の各擬似ランダム信号発生回路に適用される。

【0141】

このように、雑音発生手段25として白色雑音信号 $n(k)$ を逆順に発生できるものを用いれば、 k 番目の白色雑音信号 $n(k)$ を生成した後に、それより前

の $N-1$ 個の雑音信号 $n(k-1) \sim n(k-N+1)$ までは順番に発生することができ、前記メモリ 50 を用いなくても前記畳込み演算

$$\begin{aligned} y(k) = & n(k) h(t_0) \\ & + n(k-1) h(t_0 + T) \\ & + n(k-2) h(t_0 + 2T) \\ & \dots\dots \\ & + n(k-N+1) h[t_0 + (N-1)T] \end{aligned}$$

を行うことができる。

【0142】

また、この雑音信号の出力に合わせて、インパルス応答演算手段 26 がタップ係数を $h(t_0) \sim h[t_0 + (N-1)T]$ の順に算出すれば、メモリ 27 も不要となり、1組の積和演算回路で前記畳込み演算を行うことができる。

【0143】

また、前記したように、浮動小数点のアンダーフローによる誤差を防止するために畳込み演算を前記第1の方法、即ち、 t が正の範囲の積和演算と t が負の範囲の積和演算とをそれぞれ独立に 0 から遠い方から順番に行う場合には、例えば先に逆順動作で雑音信号 $n(k) \sim n(k-N/2+1)$ までは発生して $y_-(k)$ を求め、次に、正順動作で $n(k-N+1) \sim n(k-N/2)$ までは発生して $y_+(k)$ を求めてから両者を加算することによって、前記シフトレジスタ 50 を用いなくても揺らぎ信号列 $y(k)$ を求めることができる。

【0144】

この場合でも、この雑音信号列の出力に合わせて、インパルス応答演算手段 26 が、タップ係数を $h(t_0) \sim h[t_0 + (N/2-1)T]$ の順および $[t_0 + (N-1)T] \sim h[t_0 + (N/2)T]$ の順に算出すれば、メモリ 27 も不要となり、1組の積和演算回路で前記畳込み演算を行うことができる。

【0145】

なお、前記説明では、規定の TDEV 特性として図 24 の (b) の TDEV マスク M2 のような特性のワンダを有するクロック信号を発生する場合について説明したが、これは本発明を限定するものでない。

【 0 1 4 6 】

例えば、図 2 4 の (a) の T D E V マスク M 1 のような特性のワンダを有するクロック信号を発生する場合には、この T D E V マスク M 1 の特性情報、そのマスクに対応する電力スペクトル密度分布、伝達関数 $H(f)$ 、補正関数 $W(f)$ を用いて前記同様のフィルタリング処理を行えばよい。

【 0 1 4 7 】

また、T D E V マスクは、上記したものだけでなく、折れ曲がり部が 3 箇所以上あるものや、傾きが異なるものがあるが、これらのマスクについても、前記同様に、そのマスクに対応する電力スペクトル密度分布、伝達関数 $H(f)$ 、補正関数 $W(f)$ を用いて前記同様のフィルタリング処理を行えばよい。

【 0 1 4 8 】

また、前記ワンダ発生装置 2 1 では、揺らぎ信号 $y(k)$ を直接加算器 2 9 に入力していたが、図 2 2 に示すワンダ発生装置 2 1' のように、揺らぎ信号列発生部 2 4 から出力された揺らぎ信号 $y(k)$ と、レベル設定手段 3 2 によって設定された設定値 B とを乗算器 3 3 で乗算し、その乗算結果 $y(k)'$ を加算器 2 9 に出力するように構成して、揺らぎ信号のレベルを可変できるようにしてもよい。

【 0 1 4 9 】

このように、実施形態のワンダ発生装置 2 1 は、所望のタイムデビエーション特性の特性情報に基づいて、そのタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列 $y(k)$ を発生し、この揺らぎ信号列 $y(k)$ と出力するクロック信号の中心周波数を決めるデータ Y_0 とを加算器 2 9 で加算し、その加算結果に対応した周波数の信号を D D S 3 0 から出力させ、この D D S 3 0 の出力信号を波形整形してクロック信号 C K 1 を出力するようにしている。

【 0 1 5 0 】

このため、所望のタイムデビエーション特性を満足するワンダを有するクロック信号 C K 1 を容易に発生することができる。

【 0 1 5 1 】

また、揺らぎ信号列発生部 2 4 を、擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段 2 5 と、特性情報設定手段 2 2 によって設定された特性情報に基づいて、雑音発生手段 2 5 から出力された白色雑音信号の電力スペクトル密度分布を、所望のタイムデビエーション特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段 2 6 と、インパルス応答演算手段 2 6 の演算結果と雑音発生手段 2 5 から出力される白色雑音信号との畳込み演算を行い、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を発生する畳込み演算手段 2 8 とによって構成している。

【0152】

このようにデジタル的に揺らぎ信号列 $y(k)$ を生成しているので、所望のタイムデビエーション特性を満足するワンダを有するクロック信号 $CK1$ を精度よく発生することができる。

【0153】

また、インパルス応答演算手段 2 6 が、周波数変動の電力スペクトル密度分布特性 $S_y(f)$ と伝達関数との誤差分に対応する補正関数 $W(f)$ によってインパルス応答を補正しているものでは、所望のタイムデビエーション特性を満足するワンダを有するクロック信号 $CK1$ をさらに精度よく発生することができる。

【0154】

また、畳込み演算手段 2 8 が、インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うようにしたものでは、浮動小数点演算の際の誤差を少なくすることができ、所望のタイムデビエーション特性を満足するワンダを有するクロック信号 $CK1$ をさらに精度よく発生することができる。

【0155】

また、インパルス応答演算手段 2 6 が、雑音発生手段 2 5 から白色雑音信号が出力される毎にインパルス応答の演算を毎回行うように構成され、畳込み演算手段 2 8 が、インパルス応答演算手段 2 6 によって毎回算出される演算結果を用いて畳込み演算を行うようにしたものでは、メモリを節約でき、装置のハードウエ

ア構成を簡素化できる。

【0156】

また、雑音発生手段25が、それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数(m)組の擬似ランダム信号発生手段を有し、各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されたものでは、その白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンドを有するクロック信号をさらに精度よく発生することができる。

【0157】

前記実施形態のワンド発生装置21の揺らぎ信号列発生部24は、所望のタイムデビエーション特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に相当する伝達関数のインパルス応答を演算し、この演算結果と白色雑音信号との畳込み演算を行うことで、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を発生していたが、この揺らぎ信号列発生部24の代わりに、図23に示す揺らぎ信号列発生部24'を用いることもできる。

【0158】

この揺らぎ信号列発生部24'は、前記した雑音発生手段25と、データ振分手段51と、重み付け手段54と、合成手段56とによって構成され、所望のTDEV特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を複数の帯域に分割して、雑音発生手段25から出力される白色雑音信号をデータ振分手段51によって各帯域に応じたレートで振り分け、重み付け手段54によって各帯域毎の電力スペクトル密度に対応した重み付けをし、合成手段56によって合成することで、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を生成している。

【0159】

ここで、TDEVマスクM2に対応した電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を複数の帯域に分ける場合について説明する。

【0160】

この特性 $S_y(f)$ は0.01Hz以下で一定であり、0.01Hz~10H

z の範囲で $1/f$ または f に比例して変化するので、 $0.01\text{Hz} \sim 10\text{Hz}$ をカバーする範囲に各帯域の境界がくるようにし、また各帯域の幅が2倍ずつ大きくなるように分割する。

【0161】

例えば、最も高い境界周波数 f_{c1} を 16Hz とすると、高い方から2番目の境界周波数 f_{c2} が 8Hz 、3番目の境界周波数 f_{c3} が 4Hz となり、同様に、11番目の境界周波数 f_{c11} は $1/64\text{Hz}$ 、12番目の境界周波数 f_{c12} は $1/128\text{Hz}$ (0.0078Hz) となり、12個の境界周波数 $f_{c1} \sim f_{c12}$ で13個の帯域に分ければよい。

【0162】

そこで、雑音発生手段25からは最高の境界周波数 f_{c1} の2倍 (32Hz) のレートで白色雑音信号 $n(k)$ を発生させ、データ振分手段51は、この白色雑音信号 $n(k)$ を上記各帯域の周波数に応じてレートが $1/2$ ずつ低くなるように13の信号経路に振り分ける。

【0163】

データ振分手段51は、例えば図24に示すように、入力信号の立ち下がりで出力が立ち上がる直列に接続された13個の $1/2$ 分周器 $52_1 \sim 52_{13}$ と、各 $1/2$ 分周器 $52_1 \sim 52_{13}$ の分周出力の立ち上がりで雑音信号 $n(k)$ をラッチする13個のラッチ回路 $53_1 \sim 53_{13}$ とで構成されており、雑音信号 $n(k)$ と同期したクロック信号 CK_n が初段の $1/2$ 分周器 52_1 に入力される。

【0164】

したがって、雑音発生手段25から、例えば図25の(a)のクロック信号 CK_n に同期した雑音信号 $n(k)$ が $n(1)$ 、 $n(2)$ 、…の順に出力されると、図25の(c)のようにクロック信号 CK_n の立ち下がりで立ち上がる $1/2$ 分周信号がラッチ回路 53_1 に入力されるため、ラッチ回路 53_1 からは図25の(d)のように、奇数番目の雑音信号 n_1 [$n(1)$ 、 $n(3)$ 、 $n(5)$ 、…、 $n(1+2i)$ 、…] がクロック信号 CK_n の $1/2$ のレート (16Hz) で出力される。

【0165】

また、ラッチ回路 53_2 には、図25の(e)のように、 $1/2$ 分周信号の立ち下がりに同期して立ち上がる $1/4$ 分周信号が入力されるため、ラッチ回路 53_2 からは、図25の(f)のように $n(2)$ から4個間隔の雑音信号 n_2 [$n(2)$ 、 $n(6)$ 、 $n(10)$ 、…、 $n(2+4i)$ 、…] がクロック信号 CK_n の $1/4$ のレート (8Hz) で出力される。

【0166】

また、ラッチ回路 53_3 には、図25の(g)のように、 $1/4$ 分周信号の立ち下がりに同期して立ち上がる $1/8$ 分周信号が入力されるため、ラッチ回路 53_3 からは、図25の(h)のように $n(4)$ から8個間隔の雑音信号 n_3 [$n(4)$ 、 $n(12)$ 、 $n(20)$ 、…、 $n(4+8i)$ 、…] がクロック信号 CK_n の $1/8$ のレート (4Hz) で出力される。

【0167】

以下同様に、各ラッチ回路 $53_4 \sim 53_{13}$ からは、雑音発生手段25から出力された雑音信号について、16個間隔、32個間隔、…、 2^{13} 個間隔の雑音信号 n_4 、 n_5 、…、 n_{13} が、クロック信号 CK_n の $1/16$ 、 $1/32$ 、…、 $1/2^{13}$ のレートでそれぞれ出力されることになる。

【0168】

この各レートの雑音信号 $n_1 \sim n_{13}$ は、図24に示しているように、重み付け手段54の13個の乗算器 $55_1 \sim 55_{13}$ に入力され、それぞれ重み付けの係数 $\sigma_1 \sim \sigma_{13}$ が乗算される。

【0169】

この重み付けの係数 $\sigma_1 \sim \sigma_{13}$ は、上記境界周波数 $f_{c1} \sim f_{c12}$ で分割される電力スペクトル密度分布特性 $S_y(f)$ の各帯域のスペクトルの大きさの平方根に比例した値であり、特性情報設定手段23から設定される。

【0170】

ここで、例えば、特性情報設定手段23は、図26のように最も低い帯域 ($1/128\text{Hz}$ 以下) のスペクトルのレベルに対応した係数 σ_{13} を基準値1とし、他の重み付け係数 $\sigma_1 \sim \sigma_{12}$ を電力スペクトル密度分布特性 $S_y(f)$ に合

わせて以下のように設定する。

【0171】

$$\sigma_{12}^2 = 1$$

$$\sigma_{11}^2 = 1/2$$

$$\sigma_{10}^2 = 1/4$$

$$\sigma_9^2 = 1/8$$

$$\sigma_8^2 = 1/16$$

$$\sigma_7^2 = 1/8$$

$$\sigma_6^2 = 1/4$$

$$\sigma_5^2 = 1/2$$

$$\sigma_4^2 = 1$$

$$\sigma_3^2 = 2$$

$$\sigma_2^2 = 4$$

$$\sigma_1^2 = 8$$

【0172】

このようにして重み付けされた雑音信号 $n_{1'} \sim n_{13'}$ は合成手段56に入力される。合成手段56は、図27に示すようにカスケード接続された12個のポリフェーズ型のサブバンド合成器（QMF合成器） $57_1 \sim 57_{12}$ によって構成されている。

【0173】

各サブバンド合成器 $57_1 \sim 57_{12}$ は、カットオフ周波数 f_c が等しいハイパスフィルタとローパスフィルタ（ともにデジタルフィルタ）の出力を合成して出力するものである。

【0174】

各サブバンド合成器 $57_1 \sim 57_{12}$ のカットオフ周波数は、前記電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を分割する境界周波数 $f_{c1} \sim f_{c12}$ に一致している。

【0175】

この合成手段56は、図28に示すように各雑音信号 $n_{1'} \sim n_{13'}$ を合成

する。

【0176】

即ち、カットオフ周波数が最も低いサブバンド合成器 57_{12} は、雑音信号 $n_{13'}$ の高域と雑音信号 $n_{12'}$ の低域を周波数 f_{c12} でカットして合成した成分をサブバンド合成器 57_{11} に入力し、サブバンド合成器 57_{11} は、サブバンド合成器 57_{12} の出力の高域と雑音信号 $n_{11'}$ の低域を周波数 f_{c11} でカットして合成した成分をサブバンド合成器 54_{11} に入力する。

【0177】

以下同様に、各レートの重み付けされた雑音信号がレートの高い方から合成され、サブバンド合成器 57_1 からは前記周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に沿った特性の揺らぎ信号列 $y(k)$ が得られ、この揺らぎ信号列 $y(k)$ を、前記同様に加算器 29 に入力して中心周波数を決めるデータ Y_0 と加算して、その加算結果 $u(k)$ を DDS 30 に入力することで、前記 TDEV マスク M2 のクロック信号を発生することができる。

【0178】

図 30 の特性 M は、上記した揺らぎ雑音発生部 24' を用いて生成したクロック信号の TDEV 特性であり、TDEV マスク M2 に極めて近似した特性が得られている。

【0179】

なお、ここでは TDEV マスク M2 に対応した電力スペクトル密度分布特性 $S_y(f)$ の揺らぎ信号を発生する場合について説明したが、この揺らぎ信号発生部 24' では、分割帯域や重み付けの係数を任意に設定することで、任意の電力スペクトル密度分布の揺らぎ信号列を発生できる。

【0180】

また、この揺らぎ信号列発生部 24' のデータ振分手段 51 として、図 30 に示すように、前記合成手段 56 の各サブバンド合成器 $57_1 \sim 57_{12}$ とは逆に、入力信号を等しいカットオフ周波数のハイパスフィルタとローパスフィルタとで分波するサブバンド分波器 $58_1 \sim 58_{12}$ を各サブバンド合成器 $57_1 \sim 57_{12}$ と対称にカスケードに接続して、前記したようにレート異なる雑音信号

$n_1 \sim n_{13}$ を並列に出力するようにしてもよい。

【0181】

この場合、各サブバンド分波器 $58_1 \sim 58_{12}$ のカットオフ周波数は、サブバンド合成器 $57_1 \sim 57_{12}$ のカットオフ周波数と同一に設定する。

【0182】

このように、電力スペクトル密度分布特性 $S_y(f)$ の周波数範囲を複数に分割する帯域の周波数に応じたレートで雑音信号を並列に出力して、各帯域毎の電力スペクトル密度に応じた重み付けを行って合成することで揺らぎ信号列を発生するものでは、任意の電力スペクトル密度分布特性の揺らぎ信号を発生することができ、インパルス応答の演算が困難な複雑な TDEV マスク特性のクロック信号を容易に発生することができる。

【0183】

なお、この場合も雑音発生手段 25 として、前記したように、それぞれ異なる初期位相で M 系列の擬似ランダム符号を発生する複数 (m) 組の擬似ランダム信号発生手段を有し、各擬似ランダム信号発生手段の所定段の出力をまとめて m ビット並列の白色雑音信号として出力するように構成されたものを用いることで、その白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンドを有するクロック信号をさらに精度よく発生することができる。

【0184】

また、上記揺らぎ信号列発生部 24' は、雑音発生手段 25 から出力される信号列に対してデータ振分手段 51、重み付け手段 54 および合成手段 56 によるフィルタリング処理を行っており、その処理結果のスペクトラム特性を決める重み付け係数 $\sigma_1 \sim \sigma_{12}$ を特性情報設定手段 23 から設定するようにしている。したがって、このデータ振分手段 51、重み付け手段 54 および合成手段 56 は、本発明の請求項 1、5 のフィルタ部に相当し、特性情報設定手段 23 は本発明の請求項 1、5 の設定手段に相当している。

【0185】

このように、実施形態のワンド発生装置 21 は、所定のアルゴリズムにしたが

って、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、乱数信号発生手段から出力される乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、クロック信号を発生するクロック発生手段と、クロック発生手段が発生するクロック信号の周波数をフィルタ部から出力される信号によって変調する変調手段と、変調手段によって周波数が変調されたクロック信号のワンドの特性が所望特性となるように、フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する制御信号をフィルタ部に与える設定手段とを備えているので、所望のワンド特性のクロック信号を容易に発生することができる。

【 0 1 8 6 】

また、実施形態のデジタル回線試験装置 2 0 は、規定のタイムデビエーション特性を満足するワンドを有するクロック信号 C K 1 を発生するためのワンド発生装置 2 1 と、ワンド発生装置 2 1 から出力されたクロック信号 C K 1 に同期したデジタル信号を試験対象のデジタル回線 1 に送出する送信部 4 0 と、試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、この受信したデジタル信号のクロック信号を再生する受信部 4 1 と、受信部 4 1 が受信したデジタル信号の誤り測定を行う誤り測定部 4 2 と、受信部 4 1 によって再生されたクロック信号 C K 1 ' のタイムデビエーション特性を測定するタイムデビエーション測定部 4 3 と、表示装置 4 7 と、誤り測定部 4 2 の測定結果を表示装置 4 7 に表示するとともに、タイムデビエーション測定部 4 3 で測定されたタイムデビエーション特性を規定のタイムデビエーション特性と対比できるように表示装置 4 7 に表示する表示制御手段 4 6 とを備えている。

【 0 1 8 7 】

このため、試験対象のデジタル回線 1 のワンドに関する評価を容易に且つ効率的に行うことができ、また、デジタル回線 1 によるワンドの変化を表示画面上で容易に比較できる。

【 0 1 8 8 】

また、実施形態のデジタル回線試験装置 2 0 は、ワンド発生部を構成するワンド発生装置 2 1 が前記したように構成されているので、所望のタイムデビエー

ション特性を満足するワンダを有するクロック信号CK1に同期したデジタル信号を試験対象のデジタル回線1に送出することができ、デジタル回線1の評価を正しく行うことができ、また、装置を小型化できる。

【0189】

次に、上記のように、雑音信号列に対しフィルタ部でデジタル的なフィルタリング処理を行い、~~その出力信号によって周波数が変調されたクロック信号を出力するワンダ発生装置において、装置の起動時や特性の切り換え時に、~~所望特性のワンダを有するクロック信号を速やかに出力させ、また、出力するクロック信号のワンダの特性やそのクロック信号を変調している信号の特性を事前に把握できるようにするための技術について説明する。

【0190】

即ち、上記のように、前記畳込み演算手段28あるいはデータ振分手段51、重み付け手段54、合成手段56によるフィルタリング処理は、入力される信号列を内部の複数の記憶素子に順次シフトしながら記憶するとともに、各記憶素子の内容と各記憶素子に対応した係数との積和演算を行い、その演算結果を順次出力する処理を含んでいる。

【0191】

したがって、前記したように任意の周波数特性を得るためには、設定できる周波数分解能を高くする必要があり、そのためには、フィルタ次数を大きくする、即ち、内部の記憶素子の数を多くしなければならず、このように記憶素子の数を多くした場合、動作初期時や特性の切り換え時に、~~所望のワンダ特性の信号が出力されるまでの時間が非常に長くなる。~~

【0192】

また、このように出力するクロック信号のワンダの特性を任意に可変できるようにした場合、実際に出力されるクロック信号のTDEV特性がどのような特性であるかを予め確認できないと不便である。

【0193】

これを解決するために、実際に出力されるクロック信号や雑音信号を測定し、その測定結果を表示することも考えられるが、このようにクロック信号や雑音信

号を実際に測定する方法では、ワンド発生装置としての構成が複雑化するとともに、測定する特性の内容によっては測定が完了するまで非常に時間（数時間～数十日）がかかってしまい、実現が困難である。

【0194】

そこで、次に、所望特性のワンドを有するクロック信号を速やかに発生でき、
~~また、実際に出力するクロック信号のワンドの特性やそのクロック信号を変調し~~
 ている信号の特性を容易に把握できるようにしたワンド発生装置の詳細について説明する。

【0195】

図31は、上記問題を解決するためになされたワンド発生装置に含まれる雑音発生装置120の構成を示している。

【0196】

この雑音発生装置120の白色雑音発生手段121は、デジタルの白色性の雑音信号 $n(k)$ を所定レートで出力する。

【0197】

この白色雑音発生手段121は、例えば図32に示すように、複数 N （例えば $N=12$ ）の擬似ランダム信号発生器122(1)～122(N)からクロック信号 CK_n に同期してシリアル出力される各 K ビットのランダム信号を加算回路124で加算して $K + \lceil \log_2 N \rceil$ ビットとした白色雑音信号 $n(k)$ を出力する。ここで、上記の括弧記号 $\lceil \quad \rceil$ は、小数を切り上げた整数値を表す。

【0198】

これら複数 N の擬似ランダム信号発生器122(1)～122(N)は、同一の S 段シフトレジスタから生成される符号周期 $(2^S - 1)$ の擬似ランダム信号を発生するものであるが、その出力の相関ピークが離間するように、制御回路123によって出力符号の位相が大きく異なるように初期設定され、 $n(1)$ 、 $n(2)$ 、…、 $n(2^S - 2)$ 、 $n(2^S - 1)$ までの雑音信号を1周期として、これを繰り返し出力する。

【0199】

このように、複数の擬似ランダム信号を加算して生成される白色雑音信号の瞬

時値はガウス分布特性に近似する。

【0200】

制御回路123は、後述の初期設定手段131からの雑音信号出力指示を受けて、擬似ランダム信号発生器122(1)～122(N)を初期化してクロック信号CK_nを出力する。

【0201】

白色雑音発生手段121から出力された雑音信号 $n(k)$ は、フィルタ部125に入力される。フィルタ部125は、デジタル信号列を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有しており、白色雑音発生手段121から出力された雑音信号 $n(k)$ を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力する。

【0202】

ここで、例えばフィルタ部125が、図33に示すようなFIR型のデジタルフィルタ126によって構成されている場合について説明する。

【0203】

このデジタルフィルタ126は、入力データを順次後段へシフトしながら記憶する複数M段直列の記憶素子（遅延素子ともいう）127(1)～127(M)と、初段の記憶素子127(1)の入力データおよび各記憶素子127(1)～127(M)の出力データに対してフィルタ係数（この実施形態の特性係数） $h_0 \sim h_M$ をそれぞれ乗算する乗算器128(1)～128(M+1)と、乗算器128(1)～128(M+1)の出力の総和を求める加算器129とによって構成されている。

【0204】

各記憶素子127(1)～127(M)は雑音信号 $n(k)$ をそのクロック信号CK_nに同期して順次シフトさせる。また、各記憶素子127(1)～127(M)は、後述の初期設定手段131から任意の値D(1)～D(M)をセットできるようになっている。

【0205】

また、乗算器 1 2 8 (1) ~ 1 2 8 (M+1) に入力されるフィルタ係数 $h_0 \sim h_M$ は、後述の特性係数設定手段 1 3 0 によって設定される。

【0 2 0 6】

このように構成された F I R 型のデジタルフィルタ 1 2 6 は、入力される雑音信号 $n(k)$ をフィルタ係数 $h_0 \sim h_M$ に応じた周波数特性の雑音信号（前記揺らぎ信号列に相当）に変換して出力する。

【0 2 0 7】

特性係数設定手段 1 3 0 は、フィルタ部 1 2 5 から出力される雑音信号 $u(k)$ の特性を決定するための特性係数（上記のようにフィルタ部 1 2 5 がデジタルフィルタ 1 2 6 のみで構成されている場合にはそのフィルタ係数）を設定するためのものであり、図示しない操作部等の操作によって任意の特性係数を設定できるようになっている。

【0 2 0 8】

初期設定手段 1 3 1 は、メモリ (ROM) 1 3 1 a を有し、フィルタ部 1 2 5 から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ内の各記憶素子の記憶内容と同等の雑音信号列を、メモリ 1 3 1 a の内容に基づいて求めて、少なくとも装置の動作初期時にデジタルフィルタ内の各記憶素子に初期設定する。

【0 2 0 9】

即ち、前記のようにフィルタ部 1 2 5 がデジタルフィルタ 1 2 6 のみによって構成されているような場合には、デジタルフィルタ 1 2 6 からフィルタ係数 $h_0 \sim h_M$ に対応した周波数特性の雑音信号が出力されている状態における各記憶素子 1 2 7 (1) ~ 1 2 7 (M) の記憶内容と同等の雑音信号列を初期設定する。

【0 2 1 0】

ここで、白色雑音発生手段 1 2 1 が動作初期時に発生する雑音信号 $n(1)$ を既知とすれば、その雑音信号 $n(1)$ より前の M 個の雑音信号 $n(2^N - 1)$ 、 $n(2^N - 2)$ 、...、 $n(2^N - M)$ をそれぞれ初期値 $D(1) \sim D(M)$ としてメモリ 1 3 1 a に予め記憶しておき、電源投入等の動作初期時に、図 3 4 に示

すように、デジタルフィルタ 2 6 の各記憶素子 1 2 7 (1) ~ 1 2 7 (M) にそれぞれ初期設定してから、白色雑音発生手段 1 2 1 へ雑音信号の出力を指示する。

【0 2 1 1】

このため、動作初期時に、フィルタ部 1 2 5 の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部 1 2 5 からは、特性係数設定手段 1 3 0 から設定されたフィルタ係数 $h_0 \sim h_M$ に応じた周波数特性の雑音信号が直ちに出力される。

【0 2 1 2】

フィルタ部 1 2 5 から出力される雑音信号 $u(k)$ は、乗算器 1 3 2 に入力される。乗算器 1 3 2 は振幅設定手段 1 3 3 によって設定された振幅係数 A を雑音信号 $u(k)$ に乗算し、その乗算結果を所望特性の雑音信号 $y(k)$ として出力する。

【0 2 1 3】

また、特性算出手段 1 3 4 は、フィルタ部 1 2 5 に設定された特性係数および乗算器 1 3 2 に設定された振幅係数 A とに基づいて、乗算器 1 3 2 から出力される雑音信号 $y(k)$ の周波数特性や振幅等を求める。

【0 2 1 4】

特性表示手段 1 3 5 は、表示器 1 3 6 に特性算出手段 1 3 4 によって求められた雑音信号の特性をグラフや数値で表示する。

【0 2 1 5】

このように構成された雑音発生装置 1 2 0 では、初期設定手段 1 3 1 によってフィルタ部 1 2 5 から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ 1 2 6 内の各記憶素子 1 2 7 (1) ~ 1 2 7 (M) の記憶内容と同等の雑音信号を、少なくとも装置の動作初期時に各記憶素子 1 2 7 (1) ~ 1 2 7 (M) に初期設定している。

【0 2 1 6】

このため、白色雑音発生手段 1 2 1 から M 個の雑音信号がフィルタ部 1 2 5 に取り込まれるまで待たなくても、直ちに特性係数に対応した周波数特性の雑音信

号をフィルタ部 1 2 5 から出力させることができ、この特性に合わない雑音信号の出力による測定等の影響をなくすることができる。

【0 2 1 7】

また、特性算出手段 1 3 4 によって、特性係数設定手段 1 3 0 からフィルタ部 1 2 5 に設定された特性係数および振幅設定手段 1 3 3 の振幅係数 A に基づいて出力される雑音信号 $y(k)$ の特性を求め、その特性を特性表示手段 1 3 5 によって表示しているので、出力する雑音信号 $y(k)$ の特性を事前に且つ速やかに確認することができて便利である。

【0 2 1 8】

前記説明では、フィルタ部 1 2 5 がデジタルフィルタ 1 2 6 のみで構成されている場合について説明したが、これは本発明を限定するものではない。

【0 2 1 9】

例えば、フィルタ部 1 2 5 を図 3 5 に示すように、分波回路 1 4 1 と、重み付け回路 1 4 3 と、デジタルフィルタを含む合成回路 1 4 5 とで構成することも可能である。

【0 2 2 0】

分波回路 1 4 1 は、複数 P の $1/2$ デシメート回路 1 4 2 (1) ~ 1 4 2 (P) がカスケード接続されて構成されている。

【0 2 2 1】

各 $1/2$ デシメート回路 1 4 2 (1) ~ 1 4 2 (P) は、入力データされるデータを 2 つの出力経路に交互に振り分けて、入力レートの $1/2$ のレートで出力する回路である。

【0 2 2 2】

初段の $1/2$ デシメート回路 1 4 2 (P) は、図 3 6 の (a) の雑音信号 $n(1)$ 、 $n(2)$ 、 $n(3)$ 、…が入力されると、その一方の出力端子から、図 3 6 の (b) のように、奇数番目の雑音信号 $n(1)$ 、 $n(3)$ 、 $n(5)$ 、…を出力し、他方の出力端子から偶数番目の雑音信号 $n(2)$ 、 $n(4)$ 、 $n(6)$ 、…を出力する。この他方の出力端子から出力される雑音信号は、2 段目の $1/2$ デシメート回路 4 2 (P-1) に入力される。

【0223】

2段目の1/2デシメート回路142 (P-1) も同様に、入力された雑音信号 $n(2)$ 、 $n(4)$ 、 $n(6)$ 、…のうち、一方の出力端子から図36の(c)のように、雑音信号 $n(2)$ 、 $n(6)$ 、 $n(10)$ 、…を出力し、他方の出力端子から雑音信号 $n(4)$ 、 $n(8)$ 、 $n(12)$ 、…を出力する。この他方の出力端子から出力された雑音信号は、3段目の1/2デシメート回路142 (P-2) に入力される。

【0224】

同様に、3段目の1/2デシメート回路142 (P-2) の一方の出力端子からは、図36の(d)のように、雑音信号 $n(4)$ 、 $n(12)$ 、 $n(20)$ 、…が出力され、他方の出力端子からは雑音信号 $n(8)$ 、 $n(16)$ 、 $n(24)$ 、…が出力され、4段目の1/2デシメート回路142 (P-3) の一方の出力端子からは、図36の(e)のように、雑音信号 $n(8)$ 、 $n(24)$ 、 $n(40)$ 、…が出力され、他方の出力端子からは雑音信号 $n(16)$ 、 $n(32)$ 、 $n(56)$ 、…が出力され、さらに各1/2デシメート回路142 (P-4) ~ 142 (1) からは、出力レートが1/2ずつ低くなるように雑音信号が出力される。

【0225】

このように、各1/2デシメート回路142 (1) ~ 142 (P) の一方の出力端子から異なるレートで出力される雑音信号 n_1 、 n_2 、 n_3 、…、 n_{P+1} は、重み付け回路143の乗算器144 (1) ~ 144 (P+1) にそれぞれ入力される。

【0226】

乗算器144 (1) ~ 144 (P+1) は、入力される雑音信号 n_1 、 n_2 、 n_3 、…、 n_{P+1} に対して、それぞれ重み付け係数 (特性係数) σ_1 、 σ_2 、 σ_3 、…、 σ_{P+1} を乗算して出力する。

【0227】

このように各レートの雑音信号 n_1 、 n_2 、 n_3 、…、 n_{P+1} に対して重み付けを行うことで、このフィルタ部125から出力される雑音信号 $u(k)$ の周

波数特性を任意に設定することができる。

【 0 2 2 8 】

例えば、図 3 7 に示すような重み付け（この図では P が 1 2）を行うことで、ワンドの評価に用いる特定の T D E V マスク特性に対応した電力スペクトル密度分布の位相揺らぎ（ワンド）をもつクロック信号を生成することができる。この際、電力スペクトル密度分布は、 α の 2 乗値の分布に従う。

【 0 2 2 9 】

重み付けされた各レート（雑音信号 n_1' 、 n_2' 、 n_3' 、…、 n_{P+1}' ）は、合成回路 4 5 のサブバンド合成器 1 4 6（1）～1 4 6（ P ）にそれぞれ入力される。

【 0 2 3 0 】

各サブバンド合成器 1 4 6（1）～1 4 6（ P ）は、前記した F I R 型で遮断周波数が共通の L P F（ローパスフィルタ）と H P F（ハイパスフィルタ）とを内部に備えており、入力される 2 つのデジタル信号に対してインターポーレーション処理を行い、その一方（周波数が高い方）の入力に対して H P F で低域を遮断し、他方（周波数が低い方）の入力に対しては L P F で高域を遮断して、両フィルタの出力を合成して出力するように構成されている。

【 0 2 3 1 】

サブバンド合成器 1 4 6（1）～1 4 6（ P ）の内部のフィルタの遮断周波数は、最も周波数が低いサブバンド合成器 1 4 6（1）の遮断周波数を f_a とすると、 $2f_a$ 、 $4f_a$ 、 $8f_a$ 、…、 $2^{P-1}f_a$ の順に、入力する雑音信号のレートに対応して 2 倍ずつ高くなるように設定されており、レートの低い雑音信号から順に合成するように接続されている。

【 0 2 3 2 】

即ち、図 3 8 に示すように、最もレートの 2 つの低い雑音信号 n_1' 、 n_2' はサブバンド合成器 1 4 6（1）において遮断周波数 f_a で合成され、その合成出力と雑音信号 n_3' とがサブバンド合成器 1 4 6（2）において遮断周波数 $2f_a$ で合成され、その合成出力と雑音信号 n_4' とがサブバンド合成器 1 4 6（3）において遮断周波数 $4f_a$ で合成される。

【0233】

以下同様にレートに低い雑音信号から順に合成されるため、サブバンド合成器 146 (P) からは、図 38 に示しているように、オクターブ幅の各帯域のレベルが重み付け係数に応じて変化する周波数特性の雑音信号 $u(k)$ が出力されることになる。

【0234】

このように分波回路 141、重み付け回路 143 および合成回路 145 によって構成されたフィルタ部 125 の場合、合成回路 145 の各サブバンド合成器 146 のフィルタの遮断周波数は固定であるのでフィルタ係数を可変制御する必要はなく、フィルタの特性を決定する重み付け係数 σ_1 、 σ_2 、 σ_3 、 \dots 、 σ_{P+1} を特性係数設定手段 130 から設定する。

【0235】

また、合成回路 145 のフィルタ（デジタルフィルタ）内部の記憶素子に対して、初期設定手段 131 は、フィルタ部 125 から特性係数（この場合重み付け係数）に対応した周波数特性の雑音信号が出力されている状態における各記憶素子の記憶内容と同一特性の雑音信号列を、装置の動作初期時および重み付け係数変更時に初期設定する。

【0236】

ただし、この場合には、前記のように白色雑音発生手段 121 から出力される信号列を単純に代入できないので、白色雑音信号と特性係数設定手段 130 からの重み付け係数等の情報に基づいて、各フィルタの記憶素子に設定すべき初期値を算出して設定する。

【0237】

即ち、前記したように、白色雑音発生手段 121 が動作初期時に発生する雑音信号 $n(1)$ を既知とすれば、定常状態で白色雑音発生手段 121 が雑音信号 $n(1)$ を発生するときに、分波回路 141 から出力されている各雑音信号 $n_1 \sim n_{P+1}$ も既知であり、また、合成回路 145 の各サブバンド合成器 146 のフィルタの特性（伝達関数）も既知である。

【0238】

また、合成回路145の各サブバンド合成器146(1)～146(P)の内部のLPFとHPFの記憶素子を前記同様にとともにM段とすると、最終段のサブバンド合成器146(P)のフィルタの各記憶素子に正規のM個の雑音信号が入力されるのは、初段のサブバンド合成器146(1)に $2^P \cdot M$ 個の雑音信号が入力されたときであり、このときのi番目(iは1～Pのいずれか)のサブバンド合成器146(i)のLPFのm段目(mは1～Mのいずれか)記憶素子の記

憶値 $L_i(m)$ とHPFのm段目の記憶素子の記憶値 $H_i(m)$ は、

$$L_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot x_j(m)$$

$$H_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot y_j(m)$$

と表される。

【0239】

ここで、 $x_j(m)$ 、 $y_j(m)$ は、LPFとHPFの伝達関数と白色雑音発生手段121から出力される雑音信号から求まる定数列(重み付け係数を1としたときの定数列)であり、前記したように、LPFとHPFの伝達関数と白色雑音発生手段121から出力される雑音信号は既知である。

【0240】

したがって、定数列 $x_j(m)$ 、 $y_j(m)$ を予め求めてメモリ131aに記憶しておき、動作初期時や重み付け係数の変更時に、上記演算によってフィルタの初期値を求めて合成回路145の各サブバンド合成器146(1)～146(P)に設定すれば、直ちに所望の特性の雑音信号 $u(k)$ を出力することができる。

【0241】

上記の積和演算の総演算回数は、 $M[(P+1)^2 + (P+1) - 2]$ となり、 $M=24$ 、 $P+1=20$ の場合10032回となり、この積和演算は短時間に終了することができる。

【0242】

初期設定手段131は、この演算によって得られた初期値 $L_1(1) \sim L_1(M)$ 、 $L_2(1) \sim L_2(M)$ 、…、 $L_P(1) \sim L_P(M)$ 、 $H_1(1) \sim H_1(M)$ 、 $H_2(1) \sim H_2(M)$ 、…、 $H_P(1) \sim H_P(M)$ を、合成回路

1 4 5 の各サブバンド合成器 1 4 6 (1) ~ 1 4 6 (P) の内部の L P F と H P F の記憶素子に設定してから、白色雑音発生手段 1 2 1 に雑音信号出力を指示する。

【0 2 4 3】

なお、この初期設定を実際に白色雑音発生手段 1 2 1 からの雑音信号の入力で行うとすれば、前記のように $2^P \cdot M$ 個の雑音信号を入力する必要があり、その入力レートを 5 0 H z とすると約 7 0 時間もかかってしまう。また、仮に初期設定中のみ入力レートを上げたとしても、合成回路 1 4 5 が $2^P \cdot M$ 個の雑音信号を計算するのに必要な総積和演算回数が $2 M^2 (2^P - 1)$ であるため、前述と同様に $M = 2 4$ 、 $P + 1 = 2 0$ とした場合には、6 0 2 0 5 倍の積和演算を必要とし、長時間を要する。

【0 2 4 4】

このように、動作初期時や特性係数変更時にフィルタ部 1 2 5 のデジタルフィルタの各記憶素子に初期設定をすることにより、フィルタ部 1 2 5 の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部 1 2 5 からは、特性係数設定手段 1 3 0 から設定された特性係数（この場合重み付け係数）に応じた周波数特性の雑音信号を速やかに出力させることができる。

【0 2 4 5】

図 3 9 は、上記した雑音発生装置 1 2 0 の構成を含む本発明のワンド発生装置 1 5 0 の全体構成を示している。

【0 2 4 6】

図 3 9 において、白色雑音発生手段 1 2 1、フィルタ部 1 2 5、特性係数設定手段 1 3 0、初期設定手段 1 3 1、乗算器 1 3 2 および振幅設定手段 1 3 3 は、前記雑音発生装置 1 2 0 のものと同一である。

【0 2 4 7】

このワンド発生装置 1 5 0 は、乗算器 1 3 2 の出力 $y(k)$ を周波数シンセサイザ 1 5 1 に入力している。

【0 2 4 8】

周波数シンセサイザ 1 5 1 は、例えば D D S (ダイレクトデジタルシンセサ

イザ)やPLL発振器等で構成されており、所定の中心周波数をもち、乗算器132の出力 $y(k)$ に応じて位相(即ち周波数)が変調されたクロック信号CKを出力する。

【0249】

一方、特性算出手段134'は、特性係数設定手段130からの特性係数、振幅設定手段133の振幅係数Aおよび図示しない操作部等から設定されたパラメータに基づいて雑音信号 $y(k)$ の特性あるいはクロック信号CKのワンダの特性を求める。

【0250】

例えば、10Hz以下の位相揺らぎであるワンダの評価量として、TIErms(τ)(Root Mean Square Time Interval Error)、ADEV(τ)(Allan Deviation)、MADEV($n\tau_0$)(Modified Allan Deviation)、TDEV($n\tau_0$)(Time Deviation)等があるが、これらを実際にクロック信号CKに対して測定して得ようとすれば、前記したように非常に長い時間(数時間以上)かかってしまう。

【0251】

そこで、このワンダ発生装置150では、特性算出手段134'において上記のワンダの特性を以下の演算を行って選択的に求めている。

【0252】

$$\text{TIErms}(\tau) = [8 \int S_x(f) \sin^2(\pi f \tau) df]^{1/2}$$

【0253】

$$\text{ADEV}(\tau) = [(16/\tau^2) \int S_x(f) \sin^4(\pi f \tau) df]^{1/2}$$

【0254】

$$\begin{aligned} \text{MADEV}(n\tau_0) &= \{ [16/(n^2\tau_0^2)] \int [\sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0)] \cdot S_x(f) df \}^{1/2} \quad (n=0, 1, 2, \dots, N) \end{aligned}$$

【0255】

$$TDEV(n\tau_0) \\ = \{ (16/3n^2) \int [\sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0)] S_x(f) df \}^{1/2} \quad (n=0, 1, 2, \dots, N)$$

【0256】

そこで、

$$S_x(f) \\ = f_c [(\sigma_a \cdot u \cdot A) \sin(\pi f / f_s) / 2\pi f \sin(\pi f / f_c)]^2 \cdot |H(e^{j\pi f / f_s})|^2$$

【0257】

また、記号 \int は $f=0 \sim f=f_h$ までの積分をとるものとし、パラメータ f_h は雑音最大周波数、 τ は測定時間、 τ_0 は測定サンプリング時間、 σ_a は白色雑音の標準偏差、 f_s は白色雑音発生手段 121 のサンプリング周波数、 u は周波数シンセサイザ 151 を DDS で構成した場合の DDS の量子化ステップ、 f_c は同 D/A コンバータのクロック周波数である。

【0258】

また、 A は振幅設定手段 133 からの振幅係数、 $|H(e^{j\pi f / f_s})|$ は、特性係数設定手段 131 から設定された特性係数に基づいて算出される周波数特性、 $S_x(f)$ は特性係数設定手段 131 から設定された特性係数に基づいて算出される時間誤差のパワースペクトルである。

【0259】

このような演算によって得られた特性は、特性表示手段 135 によって表示器 136 に数値あるいはグラフで表示されるが、上記演算は、実際のクロック信号を測定せずに、特性係数、振幅係数および前記パラメータに基づいて算出しているので、短時間に求めることができ、信号を出力させるときに事前に雑音信号の特性やこの雑音信号によって周波数変調されたクロック信号のワンドの特性を確認することができる。

【0260】

前記実施形態では、フィルタ部 125 に含まれるデジタルフィルタが FIR

型の場合について説明したが、これは本発明を限定するものでなく、入力データを内部の複数の記憶素子にシフトしながら記憶して演算を行う構造のデジタルフィルタであればよく、例えば I I R 型の場合でも同様に適用することができる。

【 0 2 6 1 】

なお、上記ワンド発生装置 1 5 0 の白色雑音発生手段 1 2 1 は、擬似ランダム信号発生器 1 2 2 (1) ~ 1 2 2 (N) の内部構造で決まる所定のアルゴリズムにしたがって、複数ビットで構成される白色雑音信号 $n(k)$ をクロック信号 $C K n$ によって決まる一定速度で順次出力するものであるから、前記ワンド発生装置 2 1、2 1' の雑音発生手段 2 5 と同様に、本発明の請求項 1、2 の乱数信号発生手段に相当し、フィルタ部 1 2 5 は、白色雑音発生手段 1 2 1 から出力される信号列に対するフィルタリング処理を行うものであるから、前記ワンド発生装置 2 1、2 1' の畳込み演算手段 2 8 やデータ振分手段 5 1、重み付け手段 5 4、合成手段 5 6 と同様に、本発明の請求項 1、3、4、5 のフィルタ部に相当している。

【 0 2 6 2 】

また、周波数シンセサイザ 1 5 1 は、フィルタ部 1 2 5 の出力によって周波数が変調されたクロック信号 $C K$ を出力しているから、本発明の請求項 1 のクロック発生手段と変調手段に相当し、特性係数設定手段 1 3 0 は、周波数シンセサイザ 1 5 1 から出力されるクロック信号のワンドの特性が所望特性となるように、フィルタ部 1 2 5 から出力される信号列の周波数特性を決定する係数をフィルタ部 1 2 5 に与えているから、本発明の請求項 1、4、5 の設定手段に相当している。

【 0 2 6 3 】

したがって、このワンド発生装置 1 5 0 の場合も、前記ワンド発生装置 2 1、2 1' と同様に、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、乱数信号発生手段から出力される乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、クロック信号を発生するクロック発生手段と、クロック発生手段が発生するクロック

信号の周波数をフィルタ部から出力される信号によって変調する変調手段と、変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する制御信号をフィルタ部に与える設定手段とを備えている。

【0264】

このため、所望特性のワンダを有するクロック信号を容易に発生することができる。

【0265】

また、このワンダ発生装置150の初期設定手段131は、少なくとも装置の動作初期時に、フィルタ部125に含まれる記憶素子に対して、所望特性のワンダを有するクロック信号が出力されている定常時に各記憶素子に記憶される記憶値と同等の値を、定常時の信号入力経路と異なる経路で初期設定しているので、本発明の請求項6の初期設定手段に相当している。

【0266】

このように、初期設定手段131によってフィルタ部125の記憶素子に初期値を設定するようにしたので、所望のワンダ特性を有するクロック信号を速やかに出力することができる。

【0267】

また、このワンダ発生装置150の特性算出手段134'は、周波数が変調されたクロック信号のワンダの特性を、特性係数設定手段130からフィルタ部125に設定された信号を含む情報に基づいて算出しているから、本発明の請求項7の特性算出手段に相当し、また、特性表示手段135は、特性算出手段134'によって求められたワンダ特性を表示しているので、本発明の請求項7の特性表示手段に相当している。

【0268】

このように、周波数が変調されたクロック信号のワンダの特性を特性係数設定手段130からフィルタ部125に設定された信号を含む情報に基づいて算出し、算出したワンダ特性を表示するようにしているので、実際に出力されるクロック信号のワンダ特性を測定することなく、事前にその特性を把握できて便利であ

る。

【 0 2 6 9 】

なお、上記のワンダ発生装置 1 5 0 を、ディジタル回線試験装置 2 0 の前記ワ
ンダ発生装置 2 1、2 1' の代わりに用いることもできる。

この場合には、特性算出手段 1 3 4' によって算出されたワンダの特性を表示
~~制御手段 4 6 に出力して、表示装置 4 7 に表示させる。~~

【 0 2 7 0 】

【発明の効果】

以上説明したように、本発明の請求項 1 のワンダ発生装置は、
所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定
速度で順次発生する乱数信号発生手段（2 5、1 2 1）と、
前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を
行うフィルタ部（2 8、1 2 5）と、
クロック信号を発生するクロック発生手段（3 0、3 1、1 5 1）と、
前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から
出力される信号によって変調する変調手段（3 0、1 5 1）と、
前記変調手段によって周波数が変調されたクロック信号のワンダの特性が所望
特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振
幅値を設定する信号を前記フィルタ部に与える設定手段（2 3、2 6、1 3 0）
とを備えている。

【 0 2 7 1 】

このため、所望特性のワンダを有するクロック信号を容易に発生することがで
きる。

【 0 2 7 2 】

また、本発明の請求項 2 のワンダ発生装置は、請求項 1 記載のワンダ発生装置
において、

前記乱数信号発生手段は、複数の擬似ランダム信号発生器を有し、該複数の擬
似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複
数ビットで構成される乱数の信号を一定速度で順次発生するように構成されてい

る。

【 0 2 7 3 】

このため、乱数の信号を理想の白色雑音に極めて近いものにすることができ、
所望のワンド特性のクロック信号をより精度よく発生することができる。

【 0 2 7 4 】

~~また、本発明の請求項 3 のワンド発生装置は、請求項 1 記載のワンド発生装置~~
において、

前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子
と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算
手段とを含んでいる。

【 0 2 7 5 】

このため、演算によってフィルタリング処理を正確に行え、所望のワンド特性
のクロック信号をより精度よく発生することができる。

【 0 2 7 6 】

また、本発明の請求項 4 のワンド発生装置は、請求項 3 記載のワンド発生装置
において、

前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記
複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信
号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振
幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴
とする。

【 0 2 7 7 】

このため、簡単な構成で、所望のワンド特性のクロック信号を発生することが
できる。

【 0 2 7 8 】

また、本発明の請求項 5 のワンド発生装置は、請求項 3 記載のワンド発生装置
において、

前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（51、141）と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（54、143）と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（56、145）とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とする。

【0279】

このため、出力するクロック信号のワンド特性をより高い自由度で設定することができる。

【0280】

また、本発明の請求項6のワンド発生装置は、請求項3または請求項4または請求項5記載のワンド発生装置において、

少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンドを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（131）を備えている。

【0281】

このため、装置の動作初期時等に、所望のワンド特性を有するクロック信号を直ちに出力することができ、測定を迅速に開始できる。

【0282】

また、本発明の請求項7のワンド発生装置は、請求項1記載のワンド発生装置において、

前記変調手段によって周波数が変調されたクロック信号のワンドの特性を、前

記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（１３４'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（１３５）とを備えている。

【０２８３】

~~このため、実際に出力するクロック信号のワンダ特性を事前に確認できて便利である。~~

【０２８４】

また、本発明の請求項８のデジタル回線装置は、

ワンダを有する試験信号を発生するワンダ発生部（２１、４０）と、該ワンダ発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部（４１、４３）とを備えたデジタル回線試験装置において、

前記ワンダ発生部が、前記請求項１または請求項２または請求項３または請求項４または請求項５または請求項６または請求項７記載のワンダ発生装置を含み、該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生するように構成されている。

【０２８５】

このため、所望のワンダ特性のクロック信号と同期する試験信号を試験対象のデジタル回線に出力することができ、そのデジタル回線を経由した信号のワンダ特性を測定することができる。

【０２８６】

また、本発明の請求項９のワンダ発生装置は、

所望のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を定めるデータを設定するための中心周波数情報設定手段（２２）と、

前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段（２３）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタ

タイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（29）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシンセサイザ（30）と、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（31）とを備えている。

【0287】

このため、所望のタイムデビエーション特性のワンダを有するクロック信号を容易に発生させることができる。

【0288】

また、本発明の請求項10のワンダ発生装置は、請求項9記載のワンダ発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（26）と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される雑白色雑音信号との畳込み演算を行い、前記周波変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（28）とを備えている。

【0289】

このようにデジタル的に揺らぎ信号列を生成しているので、所望のタイムデビエーション特性を満足するワンダを有するクロック信号を精度よく発生することができる。

【0290】

また、本発明の請求項 1 1 のワンダ発生装置は、請求項 1 0 記載のワンダ発生装置において、

前記インパルス応答演算手段は、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴としている。

【 0 2 9 1 】

このため、所望のタイムデビエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

【 0 2 9 2 】

また、本発明の請求項 1 2 のワンダ発生装置は、請求項 1 0 記載のワンダ発生装置において、

前記畳込み演算手段は、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的にを行うことを特徴としている。

【 0 2 9 3 】

このため、浮動小数点演算の際の誤差を少なくすることができる。

【 0 2 9 4 】

また、本発明の請求項 1 3 のワンダ発生装置は、請求項 1 0 記載のワンダ発生装置において、

前記インパルス応答演算手段は、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴としている。

【 0 2 9 5 】

このため、メモリを節約でき、装置のハードウェア構成を簡素化できる。

【 0 2 9 6 】

また、本発明の請求項 1 4 のワンダ発生装置は、請求項 9 記載のワンダ発生装置において、

前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（2 5）と

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段（51）と、

~~前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、~~
前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数の帯域に分割する前記各帯域毎のスペクトルの大きさに応じた重み付けを行う重み付け手段（54）と

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段（56）とを備えている。

【0297】

このため、任意の電力スペクトル密度分布特性の揺らぎ信号を発生することができ、インパルス応答の演算が困難な複雑なTDEVマスク特性のクロック信号を容易に発生することができる。

【0298】

また、本発明の請求項15のワンダ発生装置は、請求項10または請求項14記載のワンダ発生装置において、

前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数の（m）組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されている。

【0299】

このため、白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

【0300】

また、本発明の請求項 1 6 のデジタル回線試験装置は、
規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置（2 1）と、

前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を試験対象のデジタル回線に送出する送信部（4 0）と、

~~前記試験対象のデジタル回線から折り返されたデジタル信号を受信すると~~
ともに、該受信したデジタル信号のクロック信号を再生する受信部（4 1）と

、
前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（4 2）と

、
前記受信部によって再生されたクロック信号のタイムデビエーション特性を測定するタイムデビエーション測定部（4 3）と、

表示装置（4 7）と、

前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイムデビエーション特性と対比できるように前記表示装置に表示する表示制御手段（4 6）とを備えている。

【0 3 0 1】

このため、試験対象のデジタル回線のワンダについての評価を容易に且つ効率的に行うことができ、また、デジタル回線によるワンダの変化を表示画面上で容易に比較できる。

【0 3 0 2】

また、本発明の請求項 1 7 のデジタル回線試験装置は、請求項 1 6 記載のデジタル回線試験装置において、

前記ワンダ発生装置が、前記請求項 9 または請求項 1 0 または請求項 1 1 または請求項 1 2 または請求項 1 3 または請求項 1 4 または請求項 1 5 記載のワンダ発生装置であることを特徴としている。

【0 3 0 3】

所望のタイムデビエーション特性を満足するワンダを有するクロック信号に同

期したデジタル信号を試験対象の回線に送出することができ、回線の評価を正しく行うことができ、また、装置を小型化できる。

【0304】

また、本発明の請求項18のワンダ発生装置は、

デジタルの白色性の雑音信号を発生する白色雑音発生手段(121)と、

~~デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の~~
の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部(125)と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段(130)と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器(132)と、

前記乗算器に任意の振幅係数を設定する振幅設定手段(133)と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ(51)と、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段(131)とを備えている。

【0305】

このため、動作初期時等に、フィルタ部の内部状態は直ちに定常状態と同一の状態に設定されるため、特性係数設定手段から設定された特性係数に応じた周波数特性の雑音信号で位相変調されたクロック信号を速やかに出力させることができる。

【0306】

また、本発明の請求項19のワンダ発生装置は、

デジタルの白色性の雑音信号を発生する白色雑音発生手段(121)と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の

の記憶素子の記憶内容についての積和演算を行うディジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（１２５）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（１３０）と、

~~前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（１３２）と、~~

前記乗算器に任意の振幅係数を設定する振幅設定手段（１３３）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（１５１）と、

前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段（１３４、１３４'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（１３５）とを備えている。

【０３０７】

このため、雑音信号やクロック信号に対する実際の測定を行うことなく、事前にその特性が分かり便利である。

【図面の簡単な説明】

【図１】

本発明の実施の形態の全体構成を示すブロック図

【図２】

実施形態の要部の構成を示すブロック図

【図３】

本発明の原理を説明するための電力スペクトル密度分布特性

【図４】

本発明の原理を説明するための相対電力スペクトル密度分布特性

【図５】

実施形態の要部の構成を示すブロック図

【図 6】

実施形態の要部の回路図

【図 7】

実施形態の要部の回路図

【図 8】

インパルス応答を示す図

【図 9】

実施形態の要部回路図

【図 1 0】

実施形態の要部の動作を説明するための図

【図 1 1】

実施形態の測定結果を示す図

【図 1 2】

電力スペクトル密度分布と伝達関数と差を示す図

【図 1 3】

規定の T D E V 特性と実際の T D E V 特性の差を示す図

【図 1 4】

補正関数を示す図

【図 1 5】

電力スペクトル密度分布と補正後の伝達関数と差を示す図

【図 1 6】

規定の T D E V 特性と補正後の T D E V 特性の差を示す図

【図 1 7】

正逆可能な擬似ランダム発生回路の回路図

【図 1 8】

正逆可能な擬似ランダム発生回路の状態遷移図

【図 1 9】

正逆可能な擬似ランダム発生回路の所定ビット目の出力の変化を示す図

【図 2 0】

正逆可能な擬似ランダム発生回路の正順と逆順の状態対応図

【図 2 1】

正逆可能な擬似ランダム発生回路の回路図

【図 2 2】

ワンダ発生装置の変形例を示す図

【図 2 3】

揺らぎ信号列発生部の変形例を示す図

【図 2 4】

図 2 3 の要部の構成を示すブロック図

【図 2 5】

図 2 3 の要部の動作を説明するためのタイミング図

【図 2 6】

図 2 3 の要部の動作を説明するための図

【図 2 7】

図 2 3 の要部の構成を示すブロック図

【図 2 8】

図 2 3 の要部の動作を説明するための図

【図 2 9】

規定の T D E V 特性と実際の T D E V 特性の差を示す図

【図 3 0】

図 2 3 の要部の他の構成を示すブロック図

【図 3 1】

本発明の他の実施形態のワンダ発生装置に含まれる雑音発生装置の構成を示す
ブロック図

【図 3 2】

図 3 1 の要部の構成を示すブロック図

【図 3 3】

図 3 1 の要部の構成を示すブロック図

【図 3 4】

図 3 1 の動作を説明するためのブロック図

【図 3 5】

図 3 1 の要部の変形例を示すブロック図

【図 3 6】

~~図 3 5 の変形例の動作を説明するためのタイミング図~~

【図 3 7】

図 3 5 の変形例の動作を説明するための図

【図 3 8】

図 3 5 の変形例の動作を説明するための図

【図 3 9】

本発明の実施形態のワンダ発生装置の全体構成を示すブロック図

【図 4 0】

従来のワンダ発生装置の構成を示すブロック図

【図 4 1】

規定の T D E V 特性例を示す図

【符号の説明】

- 1 デジタル回線
- 2 0 デジタル回線試験装置
- 2 1 ワンダ発生装置
- ~~2 2 中心周波数設定手段~~
- 2 3 特性情報設定手段
- 2 4、2 4' 揺らぎ信号列発生部
- 2 5 雑音発生手段
- 2 6 インパルス応答演算手段
- 2 7 メモリ
- 2 8 畳込み演算手段
- 2 9 加算器
- 3 0 D D S

- 3 0 a 加算器
- 3 0 b ラッチ回路
- 3 0 c 波形メモリ
- 3 0 d D/A変換器
- 3 1 クロック信号出力回路

~~3 1 a 帯域通過フィルタ~~

- 3 1 b コンパレータ
- 4 0 送信部
- 4 1 受信部
- 4 2 誤り測定部
- 4 3 T D E V測定部
- 4 4 T I E検出部
- 4 5 T D E V演算部
- 4 6 表示制御手段
- 4 7 表示装置
- 5 0 シフトレジスタ
- 5 1 データ振分手段
- 5 2 ₁ ~ 5 2 _{1 3} 1/2分周器
- 5 3 ₁ ~ 5 3 _{1 3} ラッチ回路
- 5 4 重み付け手段

~~5 5 ₁ ~ 5 5 _{1 3} 乗算器~~

- 5 6 合成手段
- 5 7 ₁ ~ 5 7 ₁ サブバンド合成器
- 5 8 ₁ ~ 5 8 ₁ サブバンド分波器
- 1 2 1 白色雑音発生手段
- 1 2 2 (1) ~ 1 2 2 (N) 擬似ランダム信号発生器
- 1 2 3 制御回路
- 1 2 5 フィルタ部
- 1 2 6 デジタルフィルタ

1 2 7 (1) ~ 1 2 7 (M) 記憶素子

1 2 8 (1) ~ 1 2 8 (M + 1) 乗算器

1 2 9 加算器

1 3 0 特性係数設定手段

1 3 1 初期設定手段

~~1 3 2 乗算器~~

1 3 3 振幅設定手段

1 3 4、1 3 4' 特性算出手段

1 3 5 特性表示手段

1 3 6 表示器

1 4 1 分波回路

1 4 2 (1) ~ 1 4 2 (P) 1 / 2 デシメート回路

1 4 3 重み付け回路

1 4 4 (1) ~ 1 4 4 (P + 1) 乗算器

1 4 5 合成回路

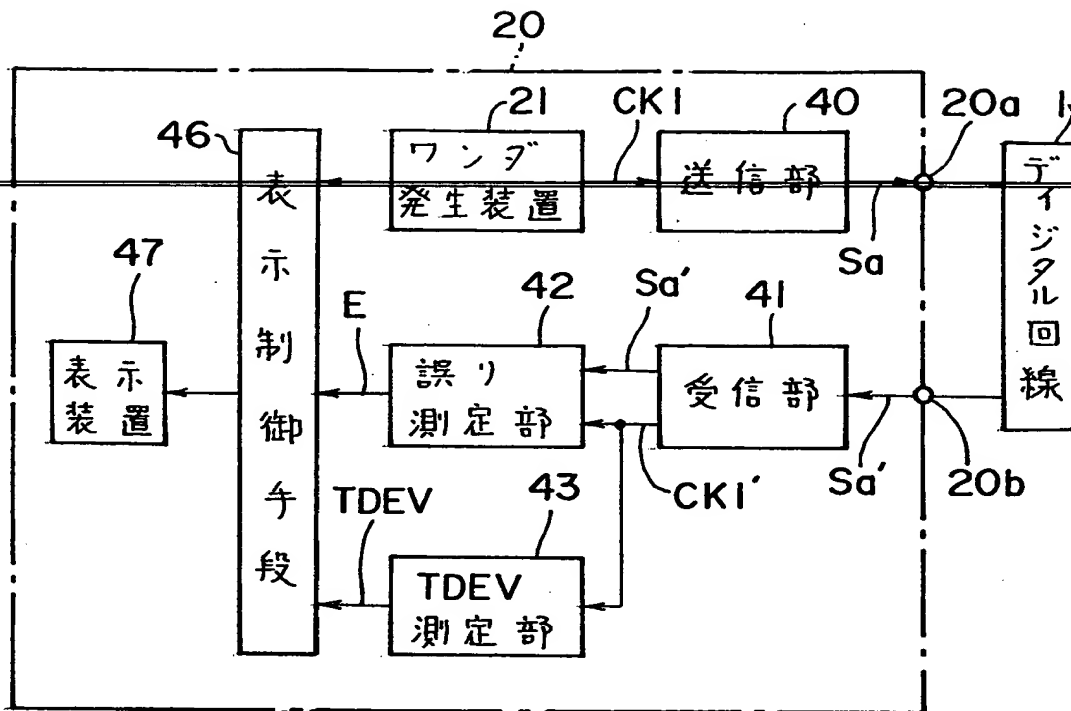
1 4 6 (1) ~ 1 4 6 (P) サブバンド合成器

1 5 0 ワンダ発生装置

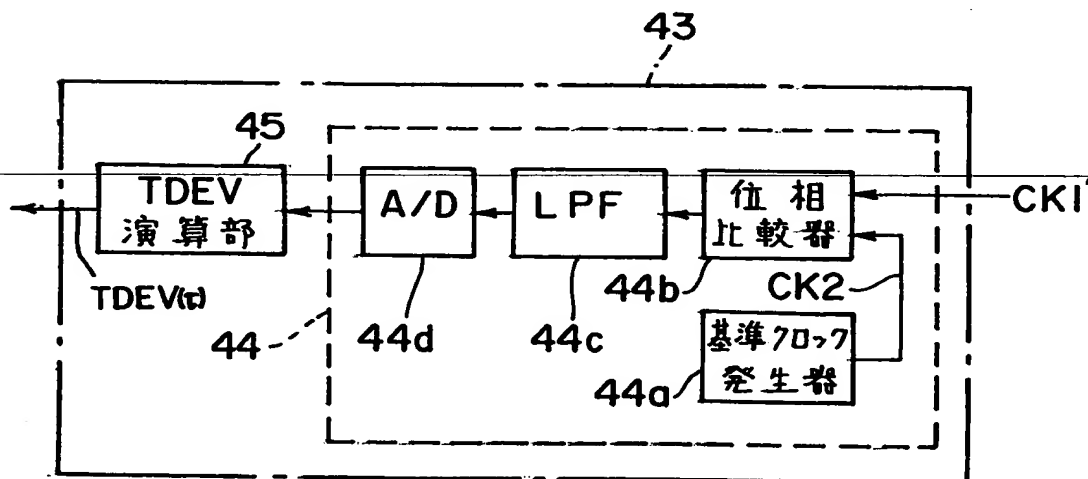
1 5 1 周波数シンセサイザ

【書類名】 図面

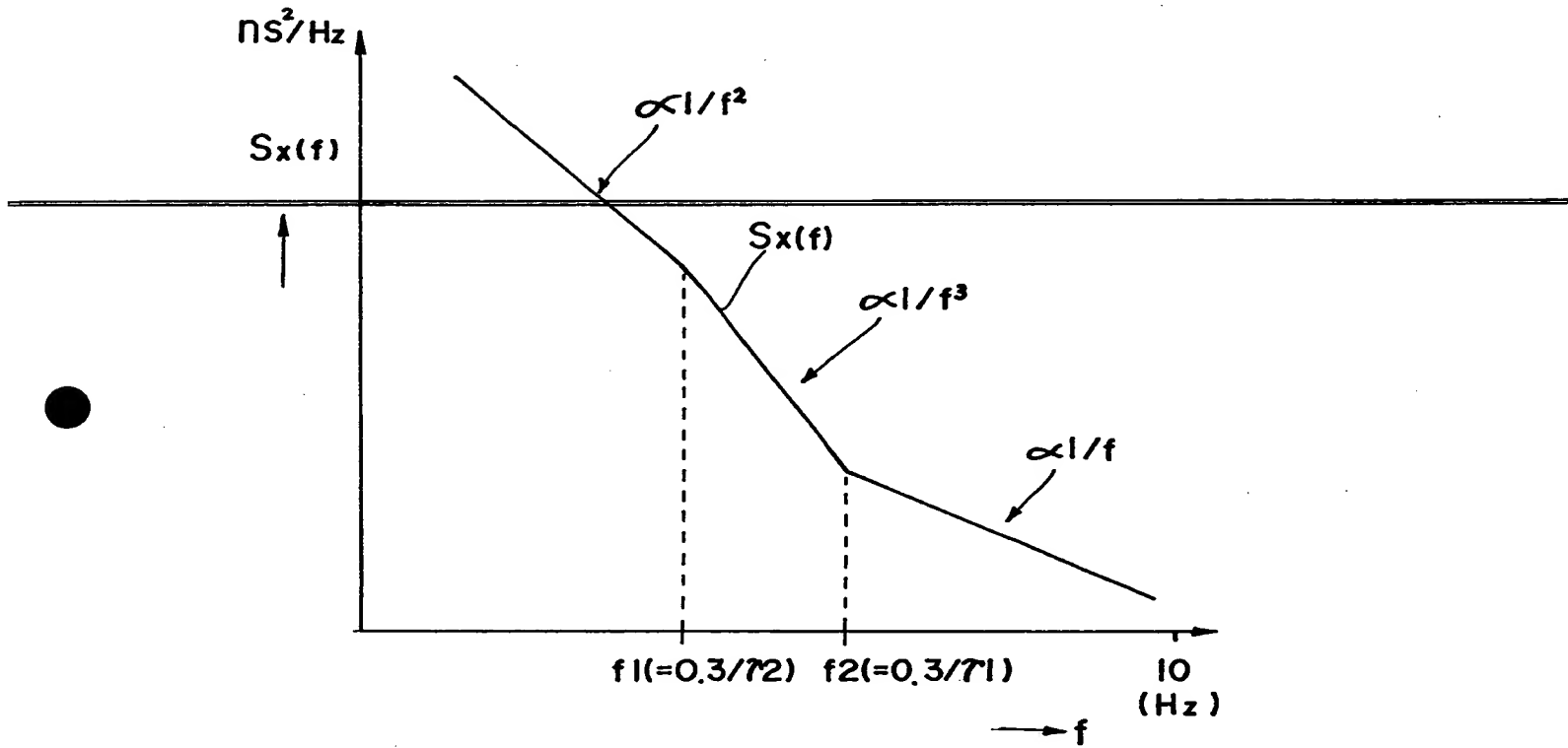
【図1】



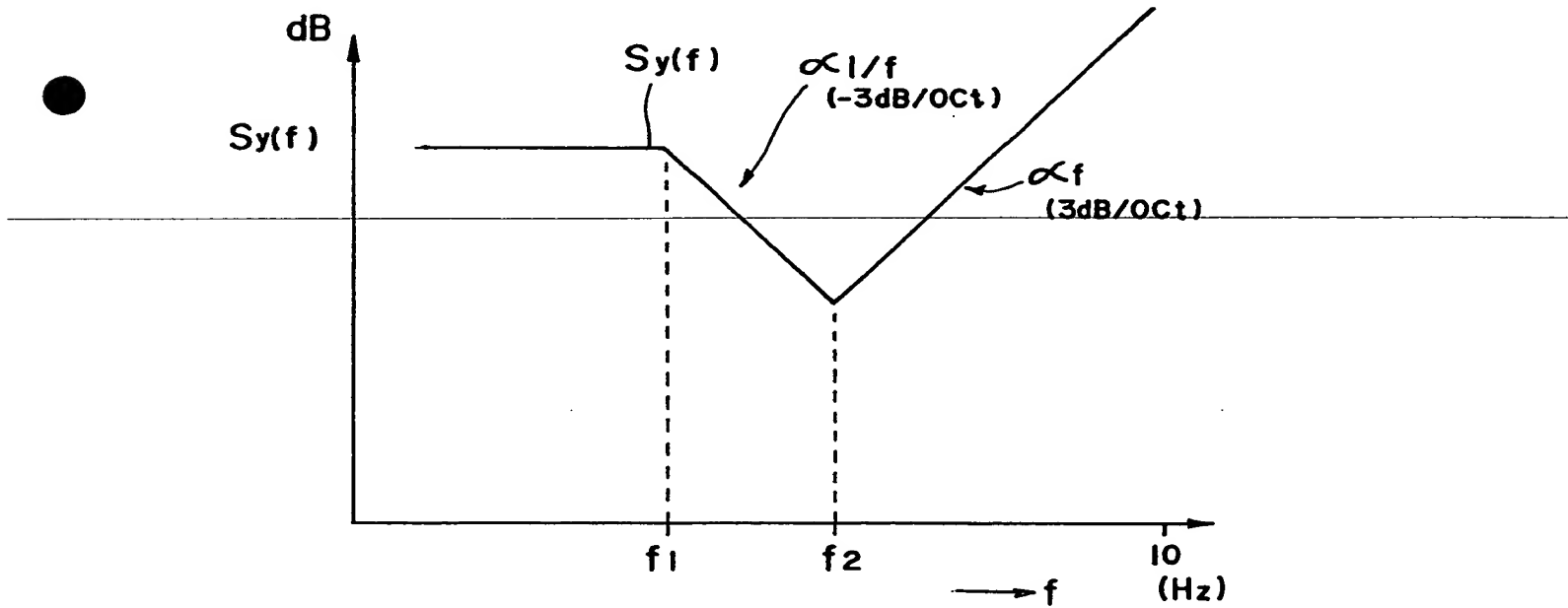
【図2】



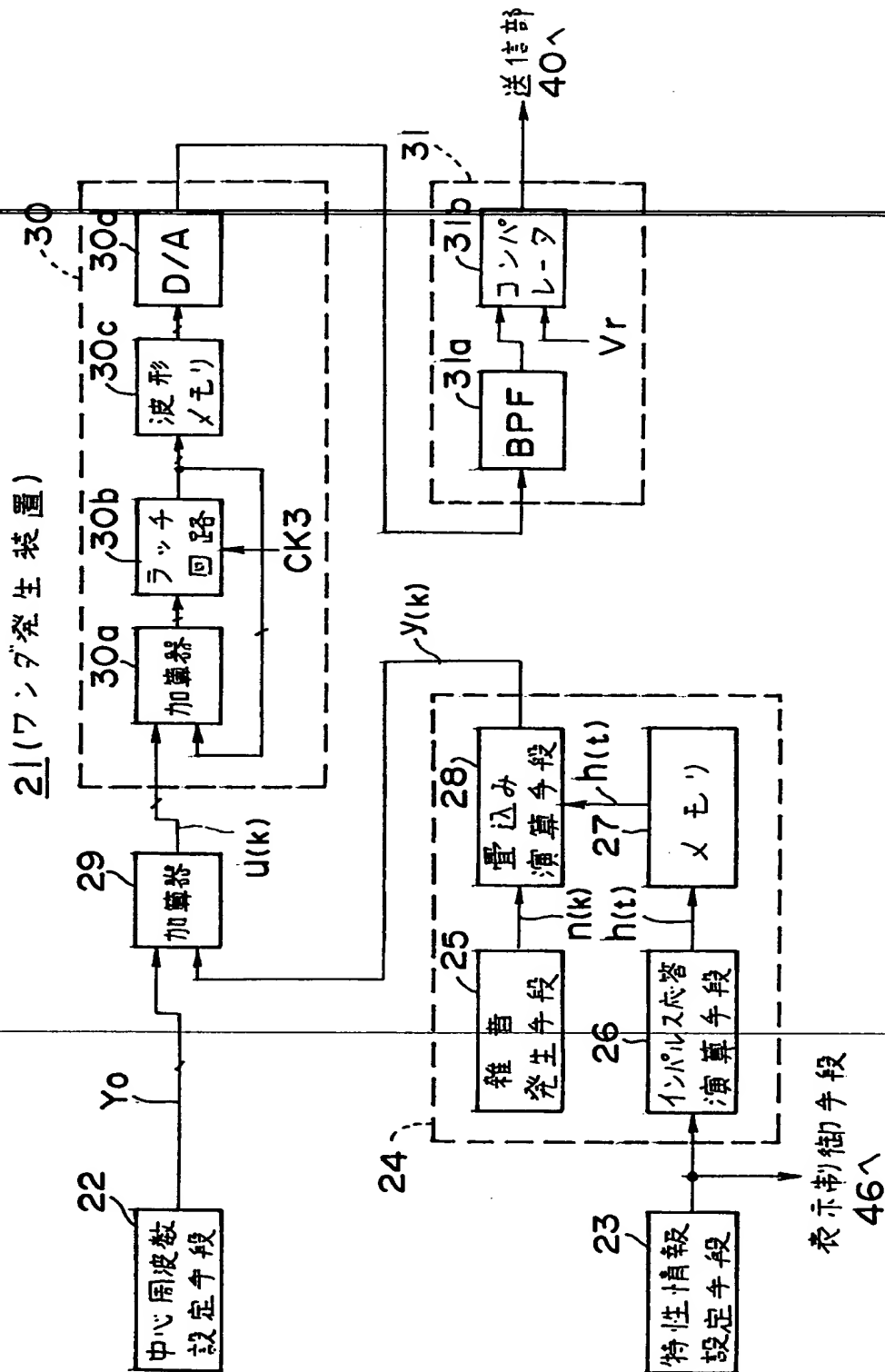
【図3】



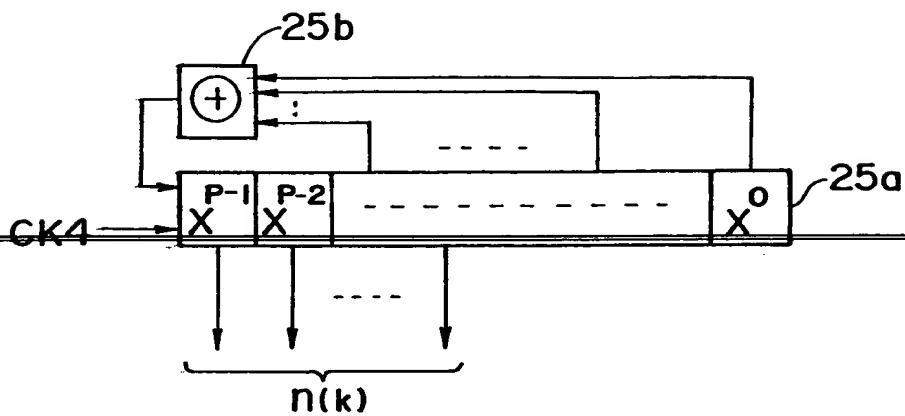
【図4】



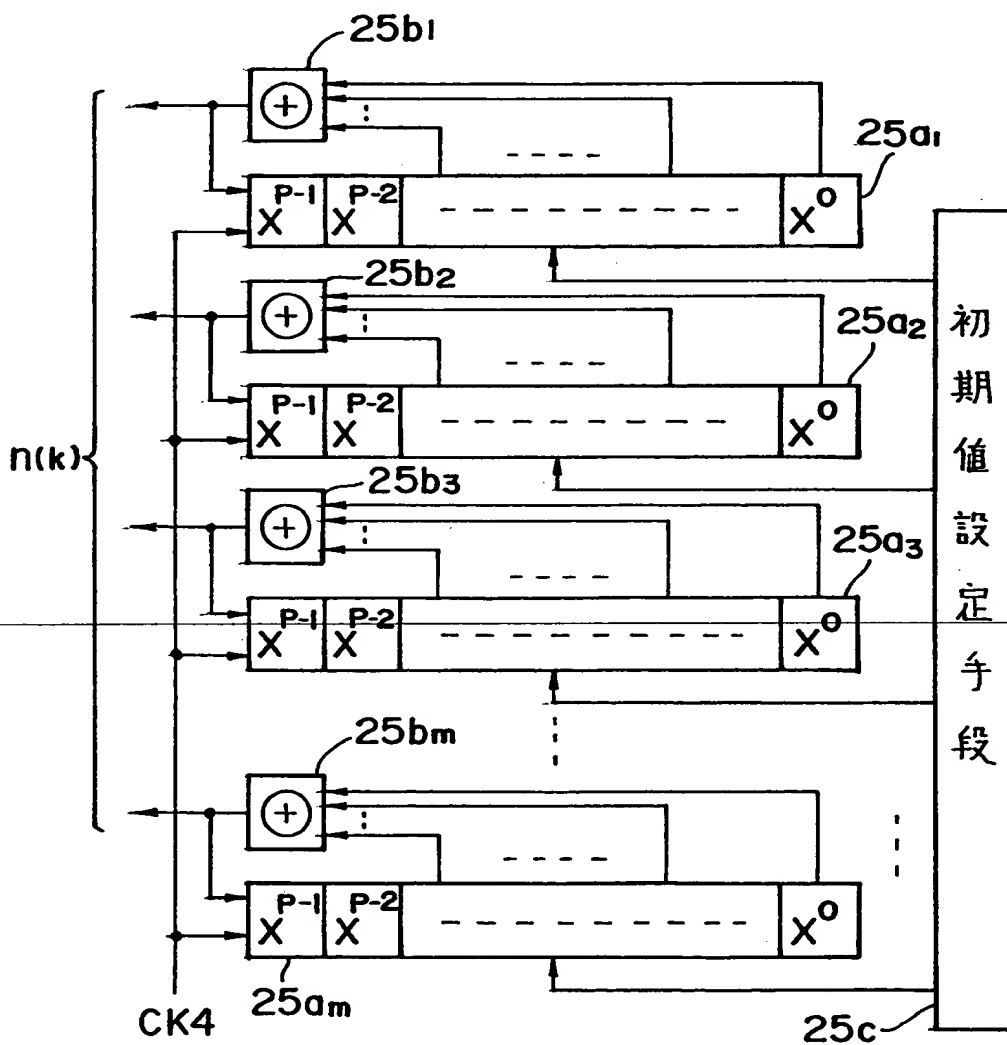
【図 5】



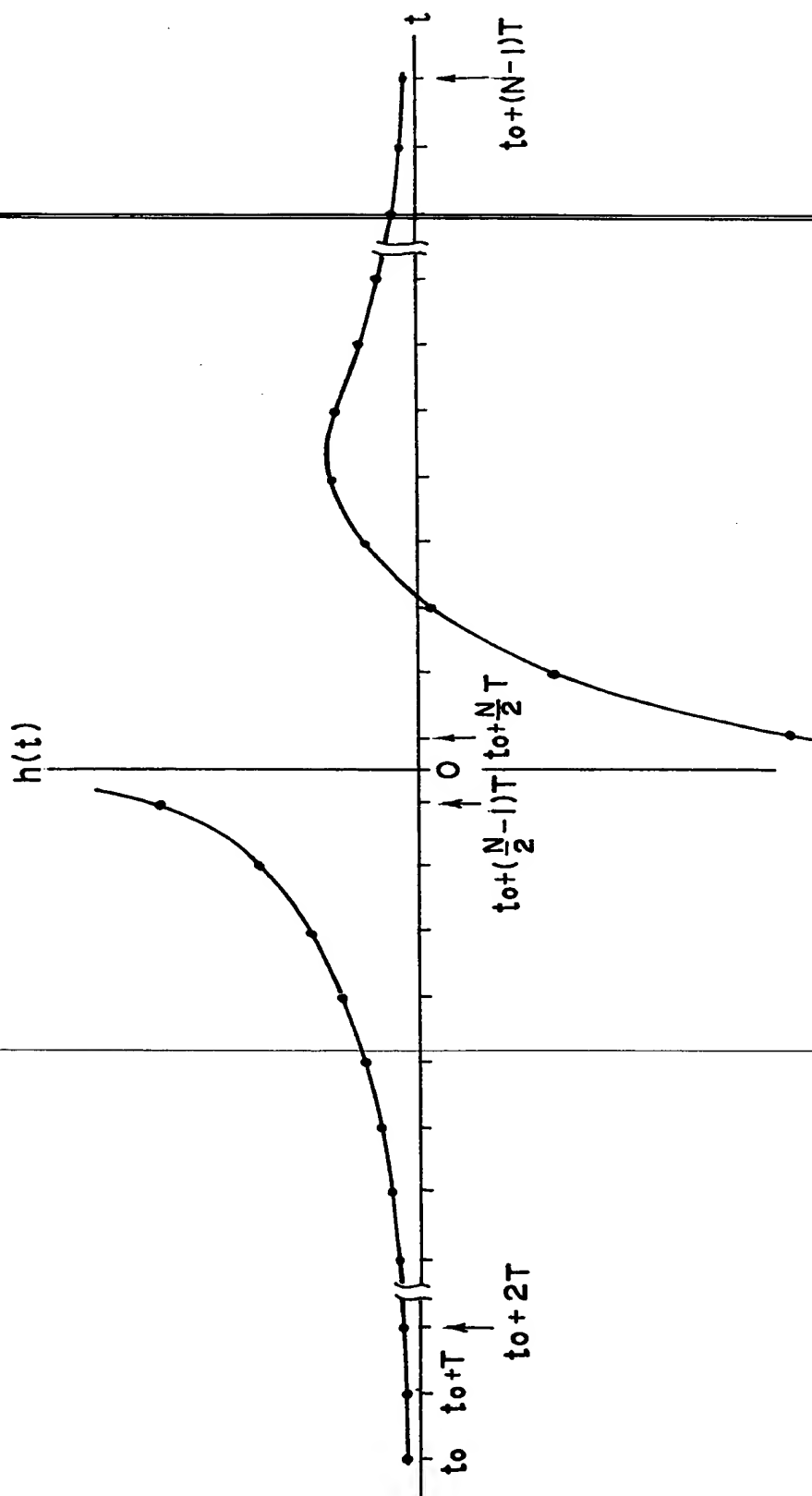
【図6】



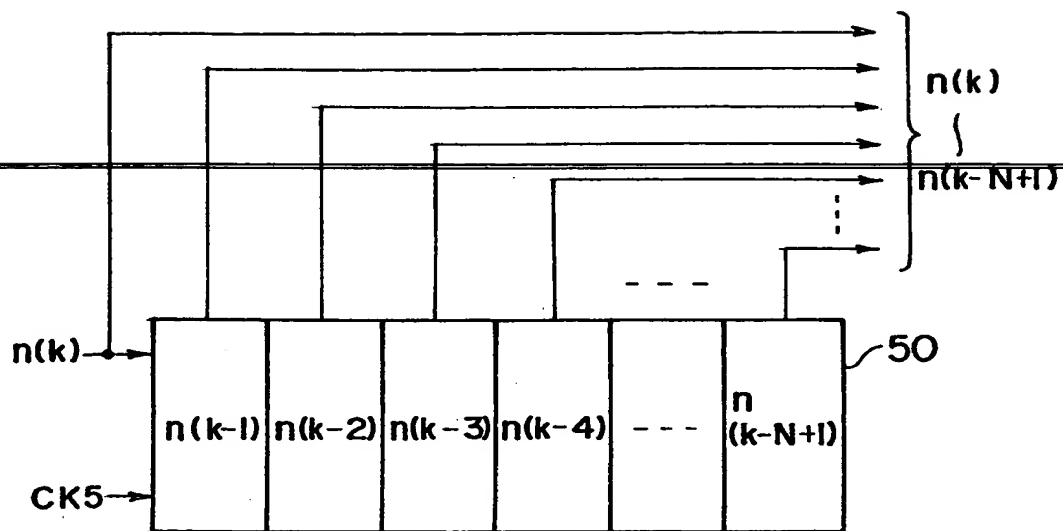
【図7】



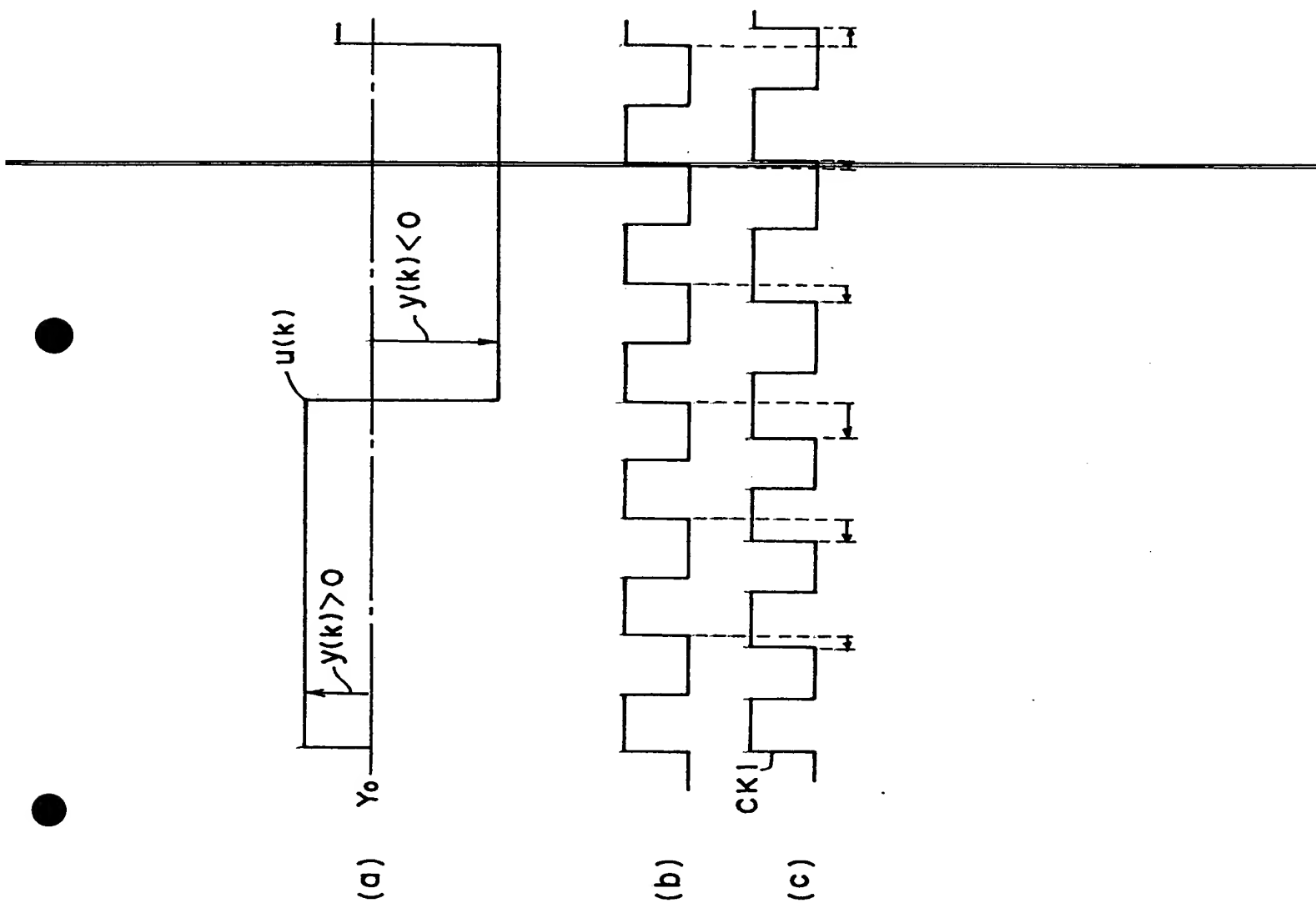
【図8】



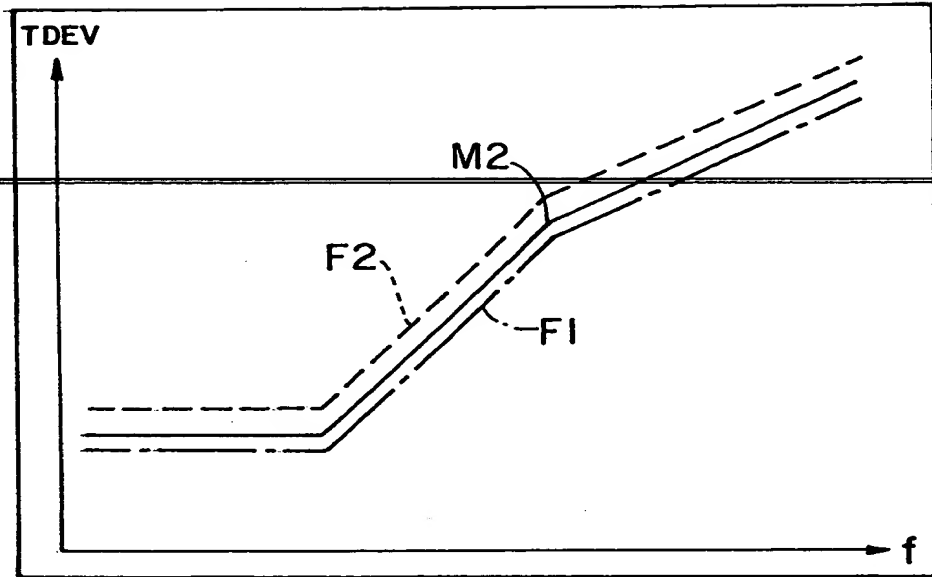
【図 9】



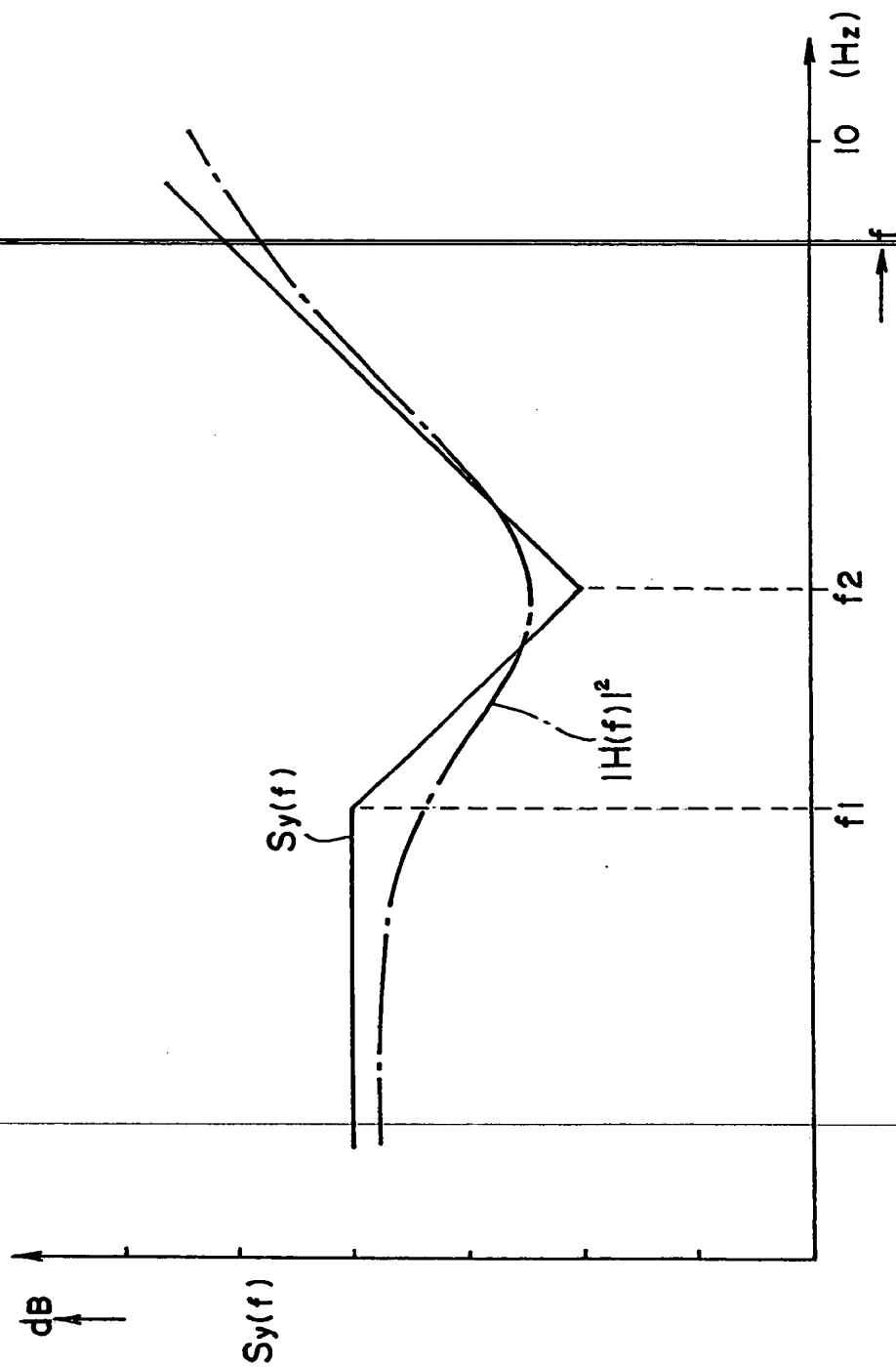
【図10】



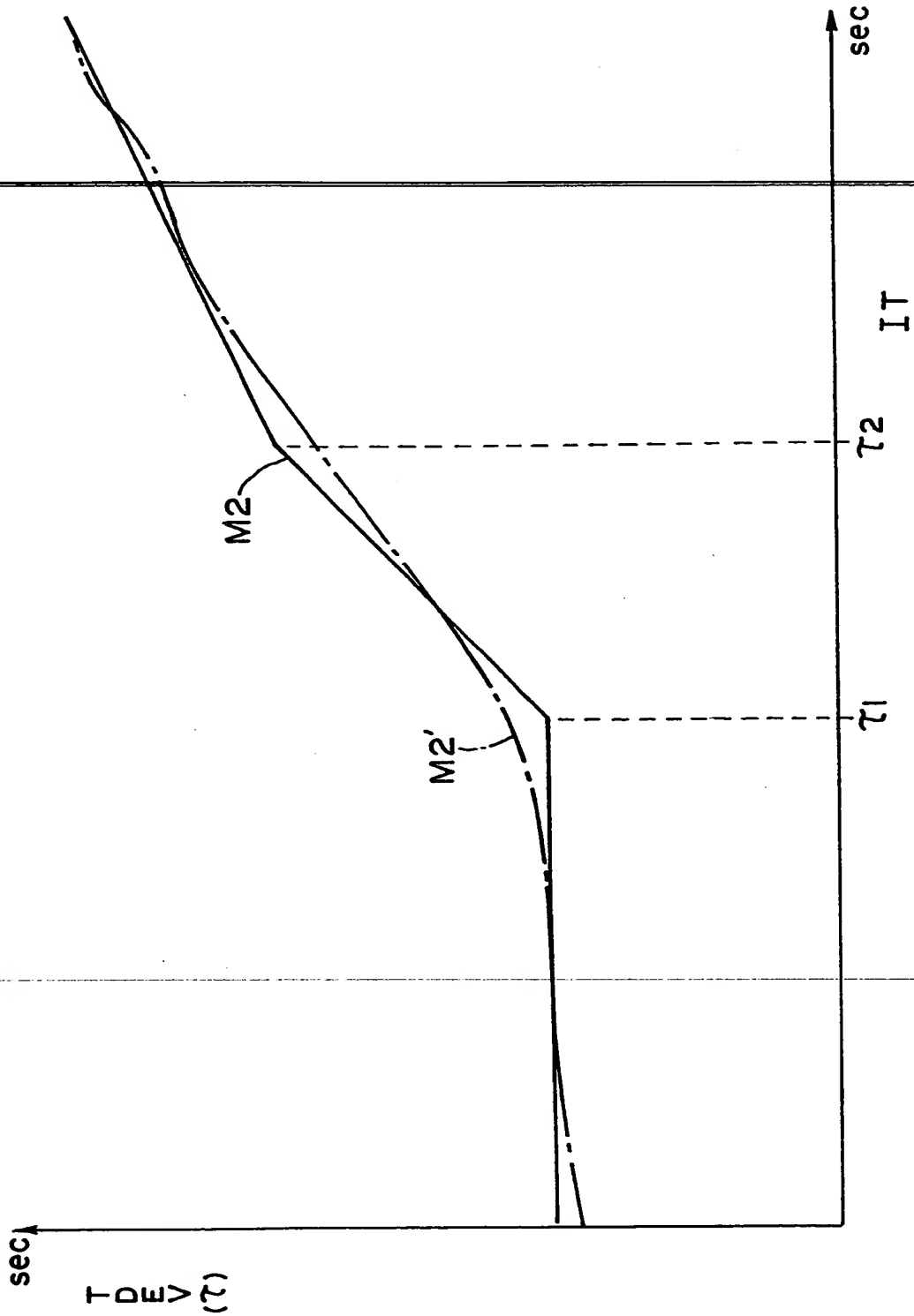
【図 1 1】



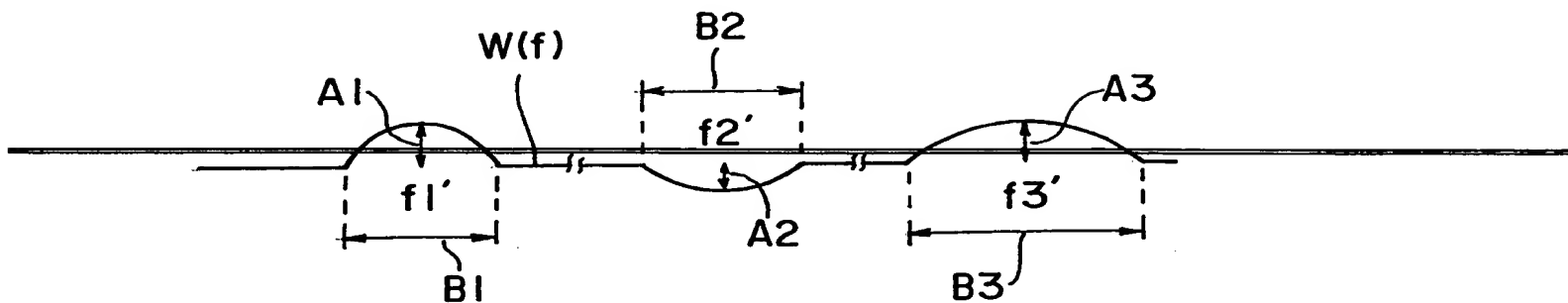
【図 12】



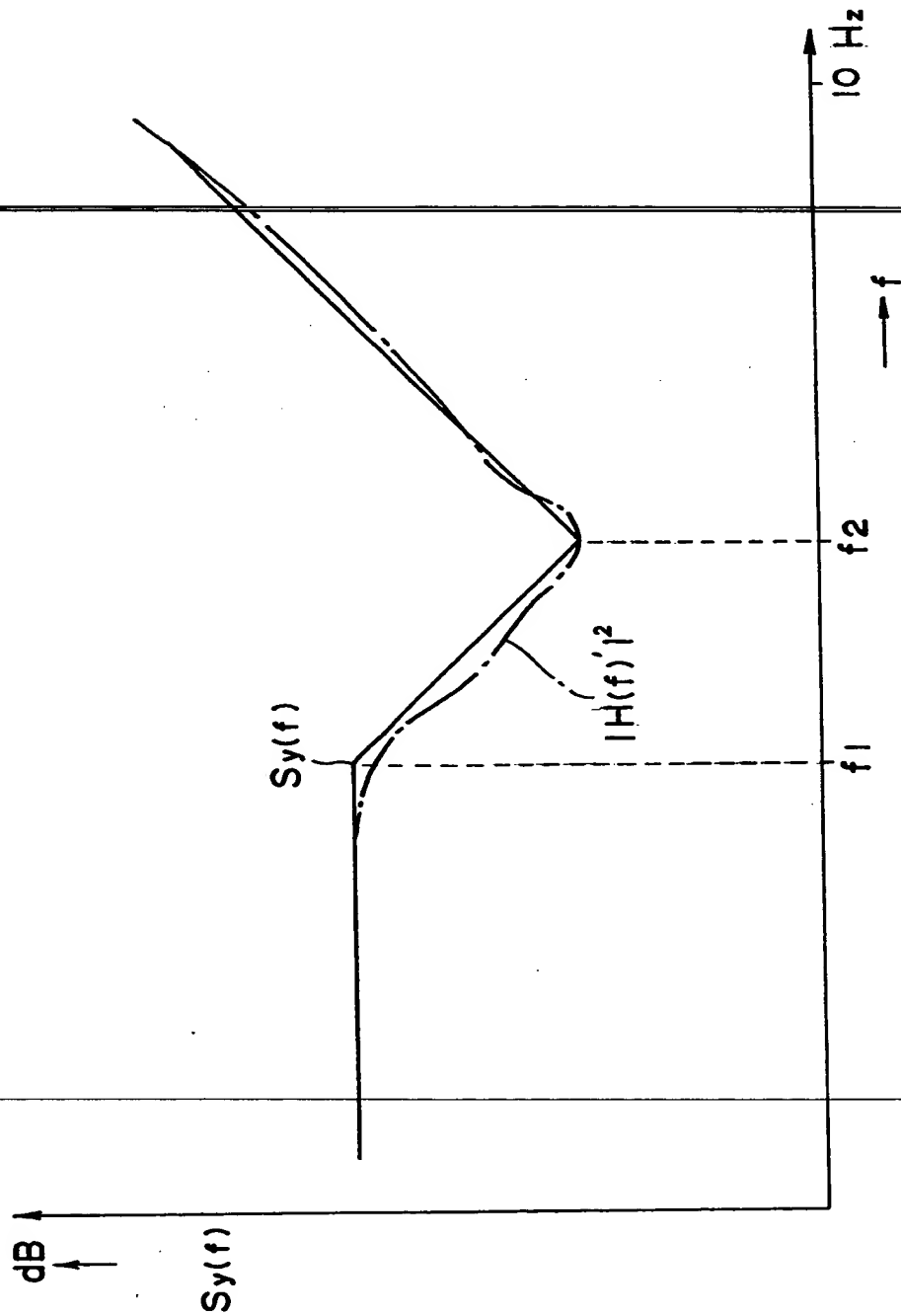
【図13】



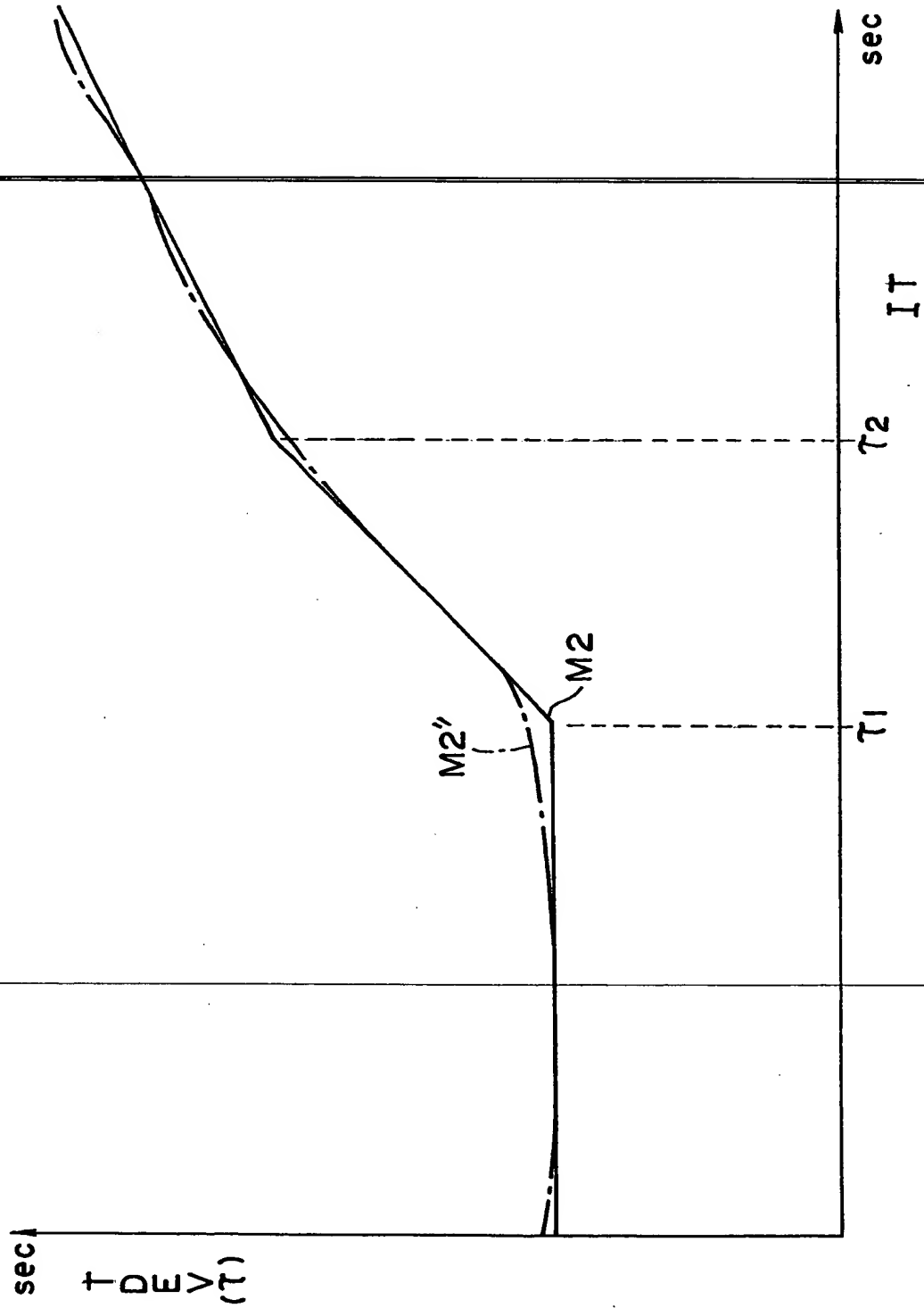
【図14】



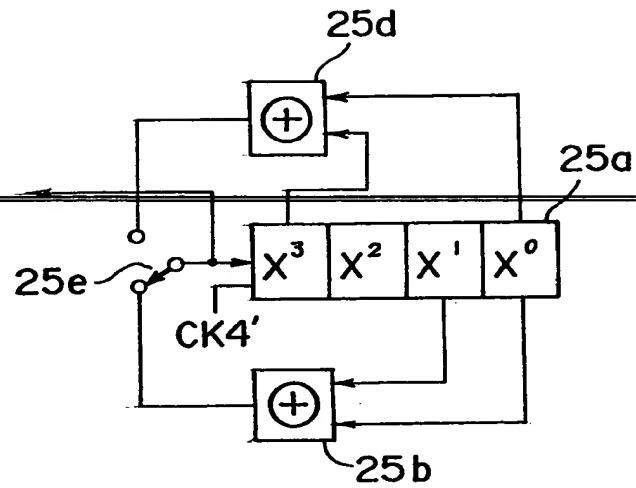
【図 15】



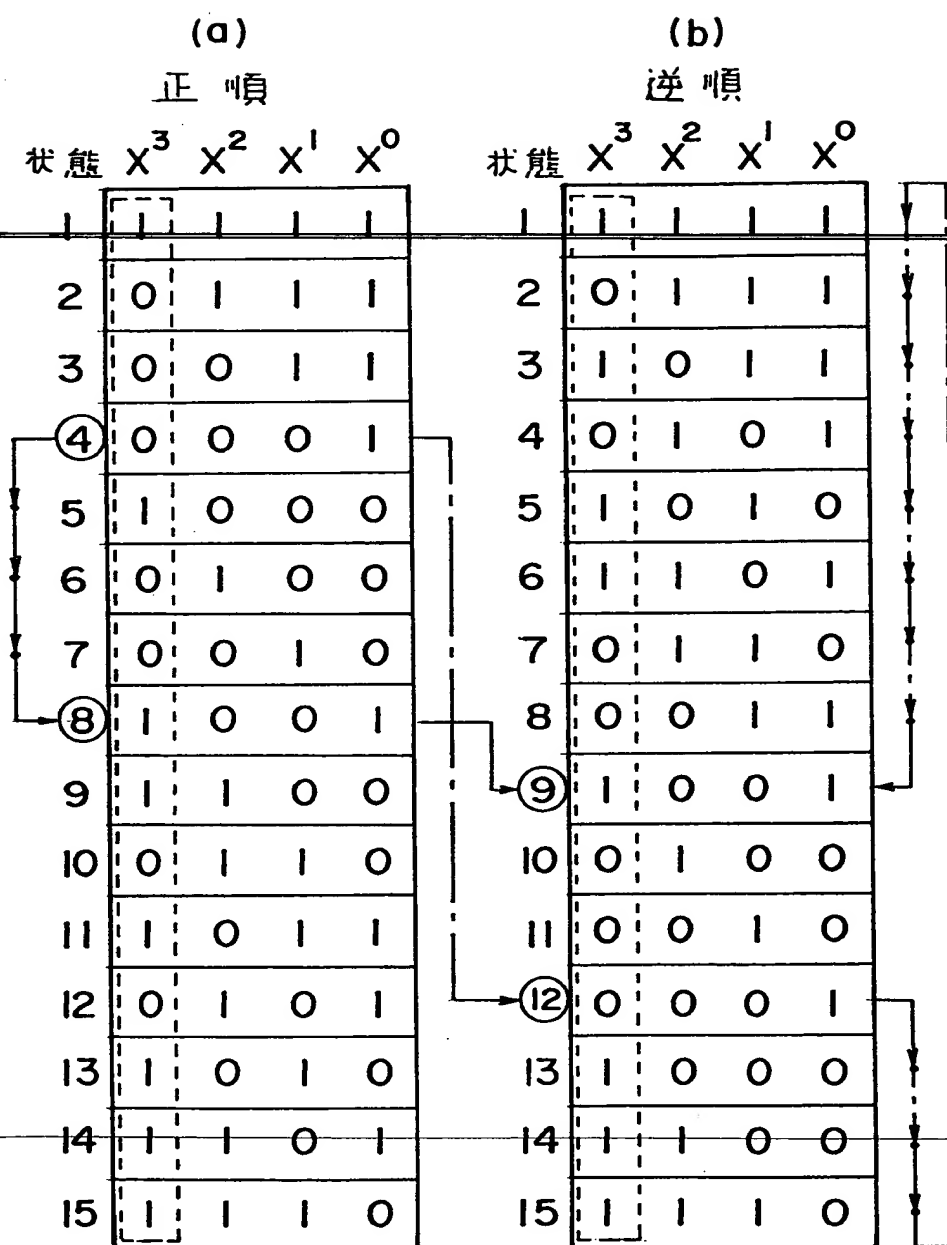
【図16】



【図 1 7】

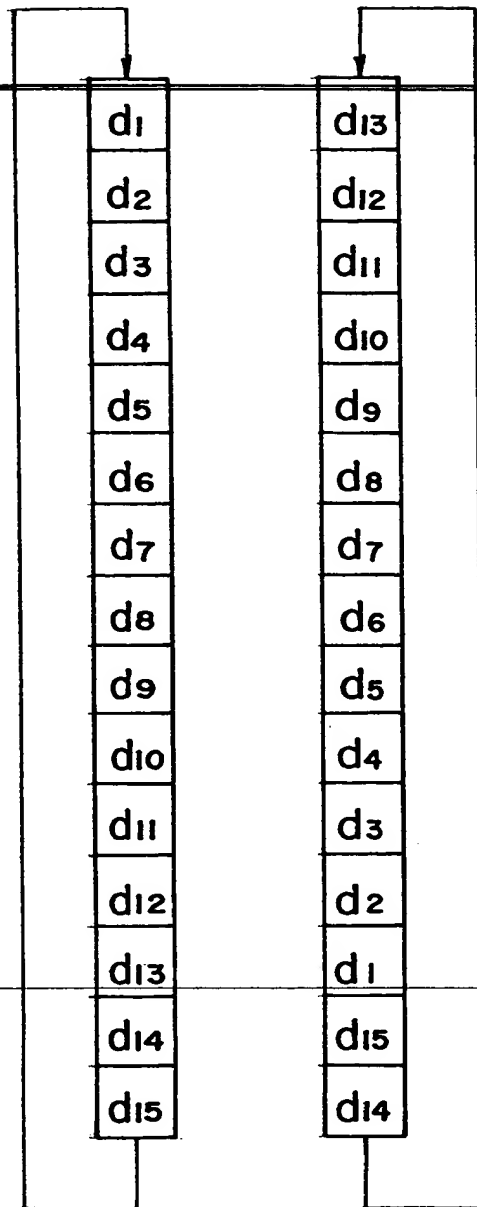


【図 1 8】



【図 1 9】

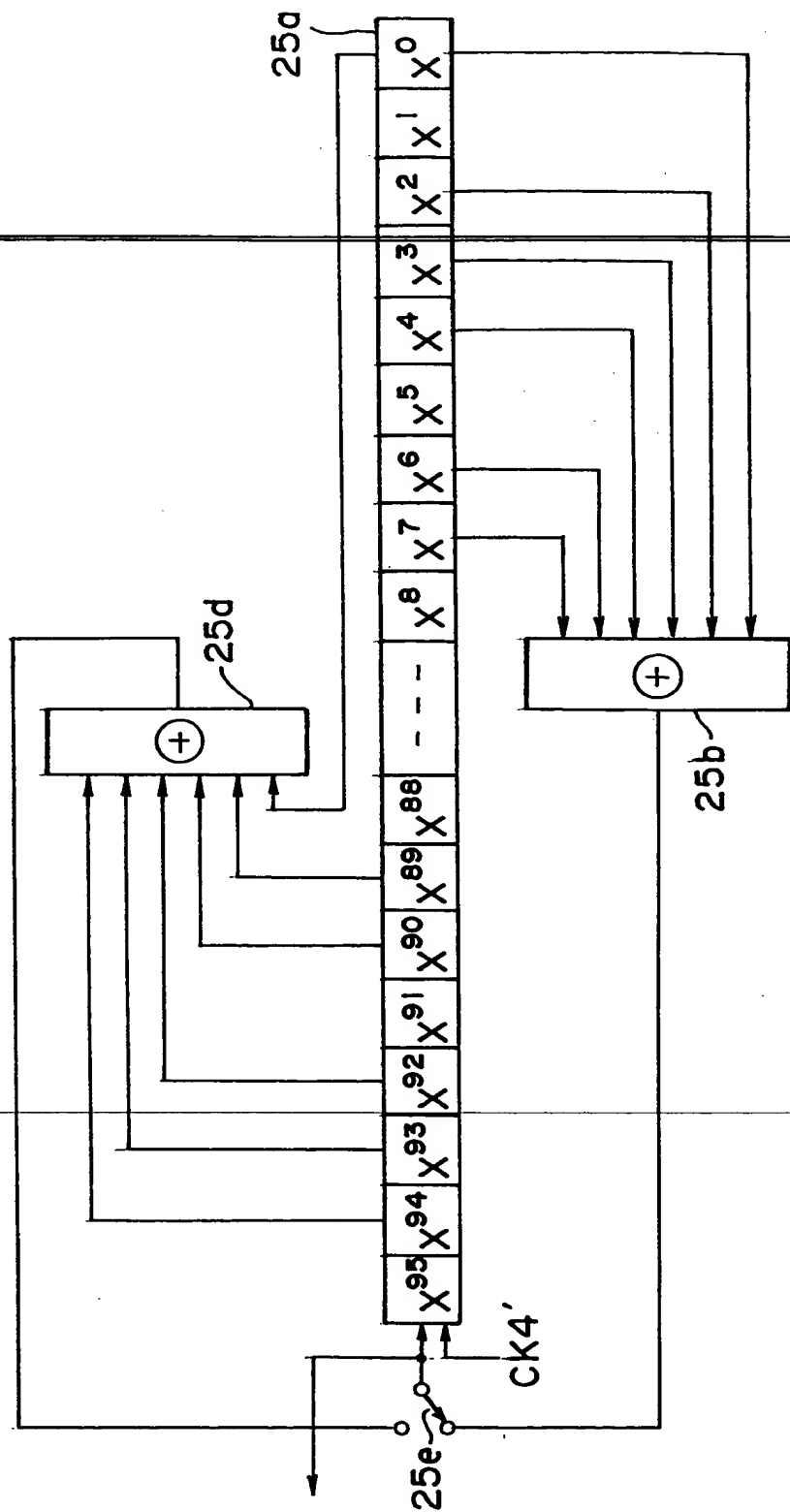
(a) 正 順 (b) 逆 順



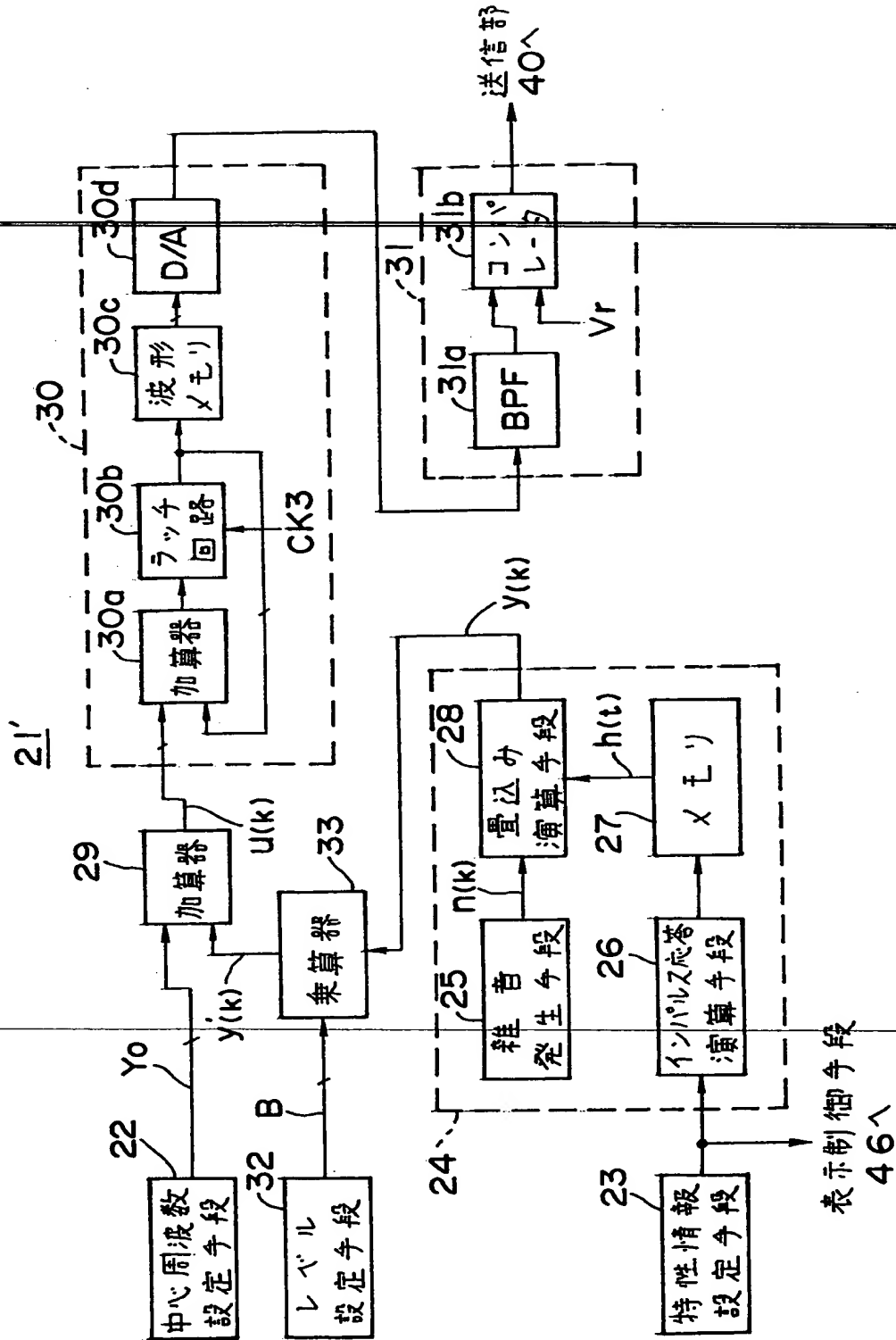
【図 2 0】

状 態 対 応	
正 順	逆 順
1	1
2	2
3	8
4	12
5	13
6	10
7	11
8	9
9	14
10	7
11	3
12	4
13	5
14	6
15	15

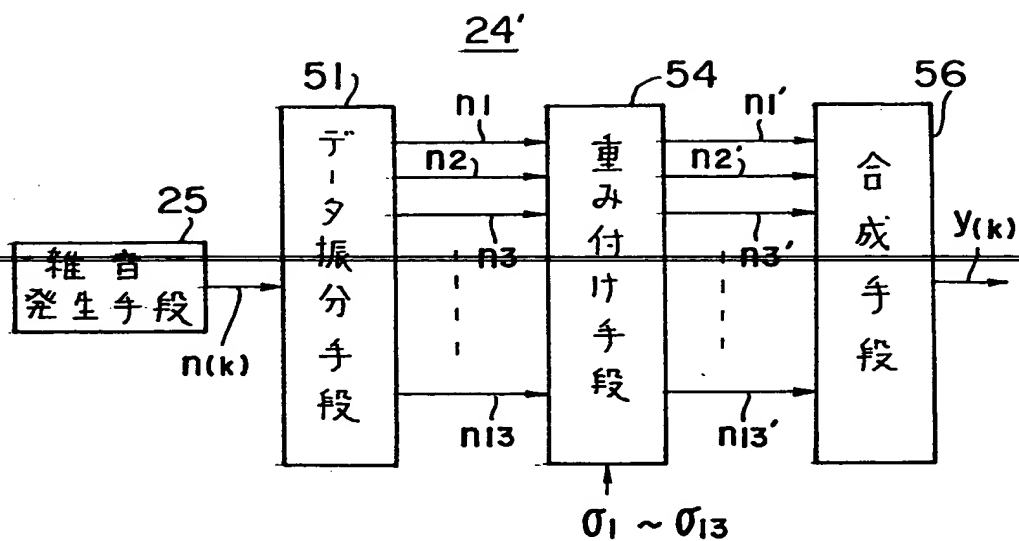
【図 21】



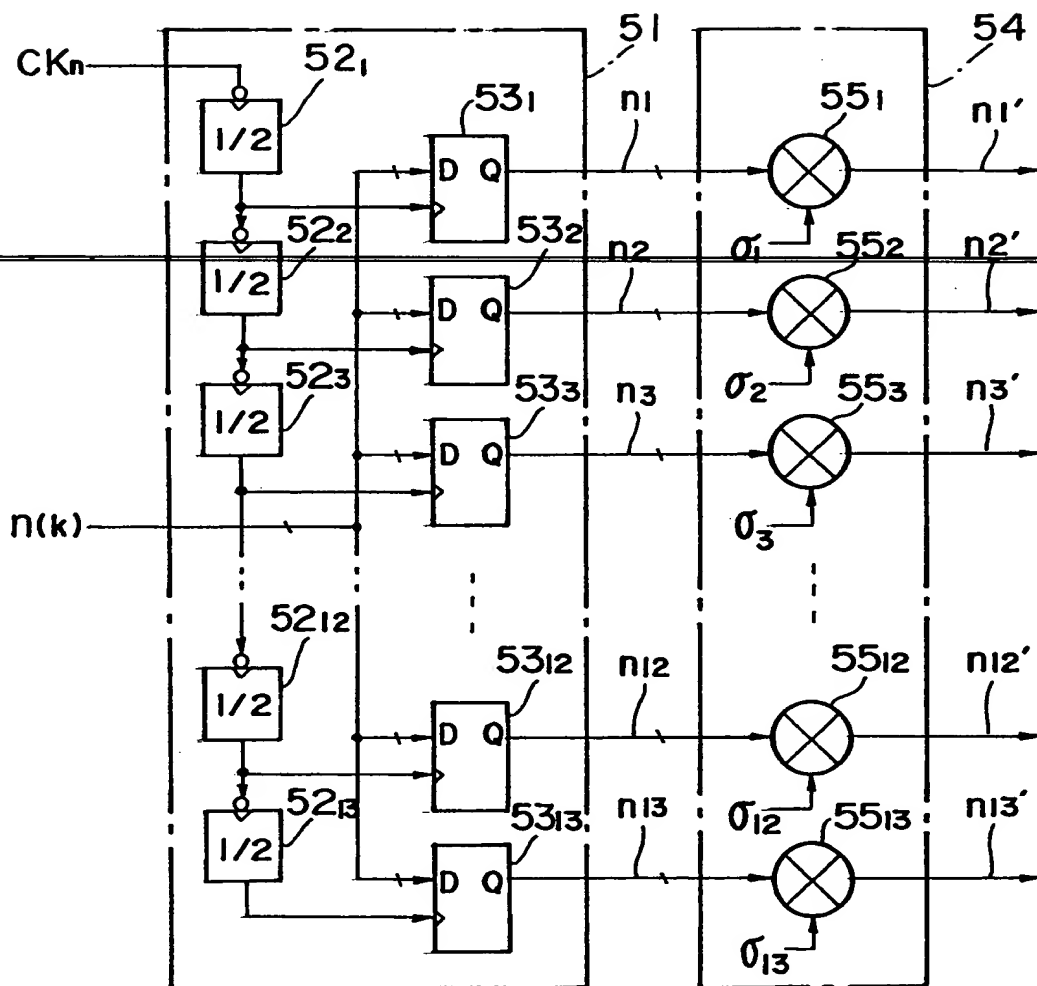
【図 22】



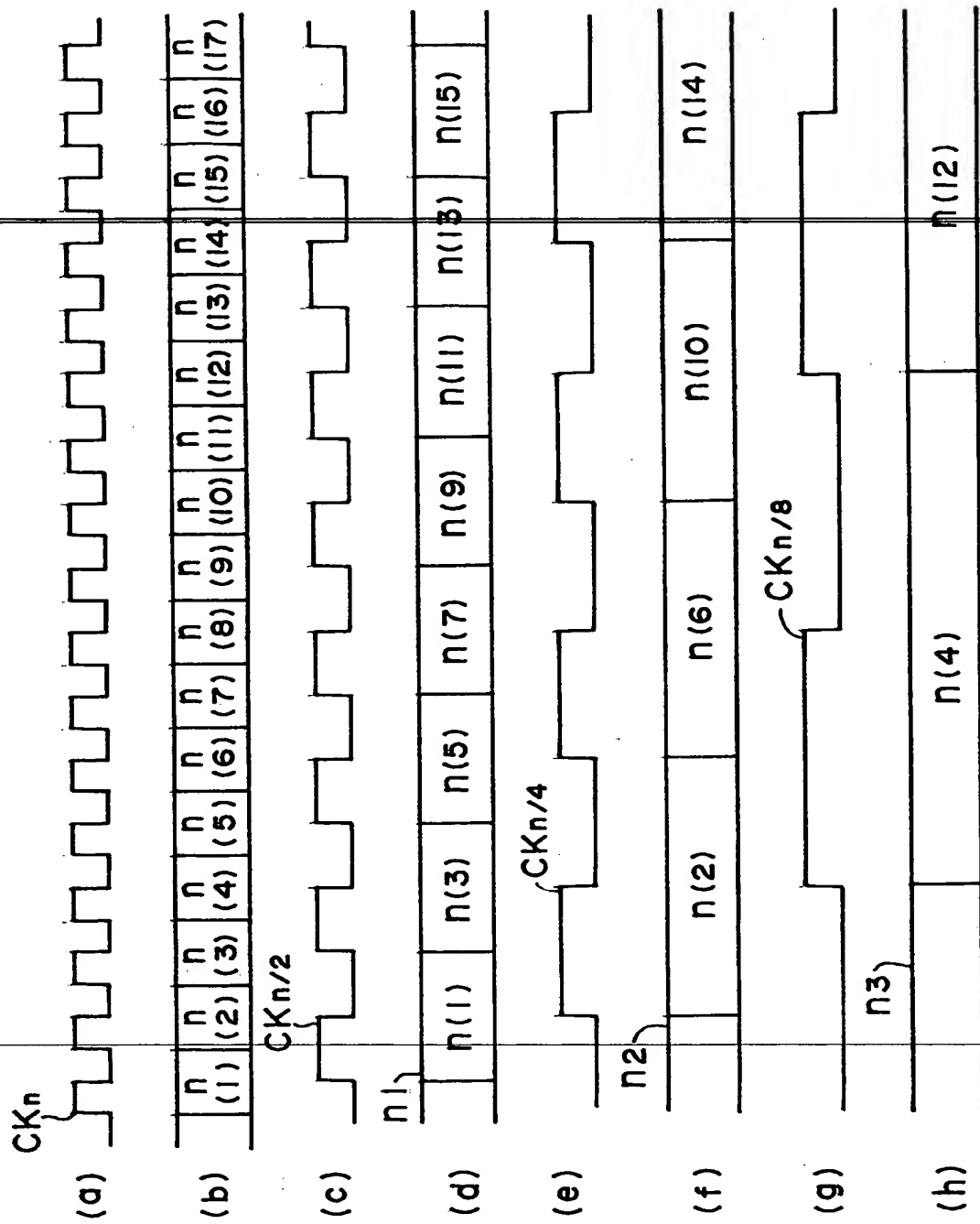
【図23】



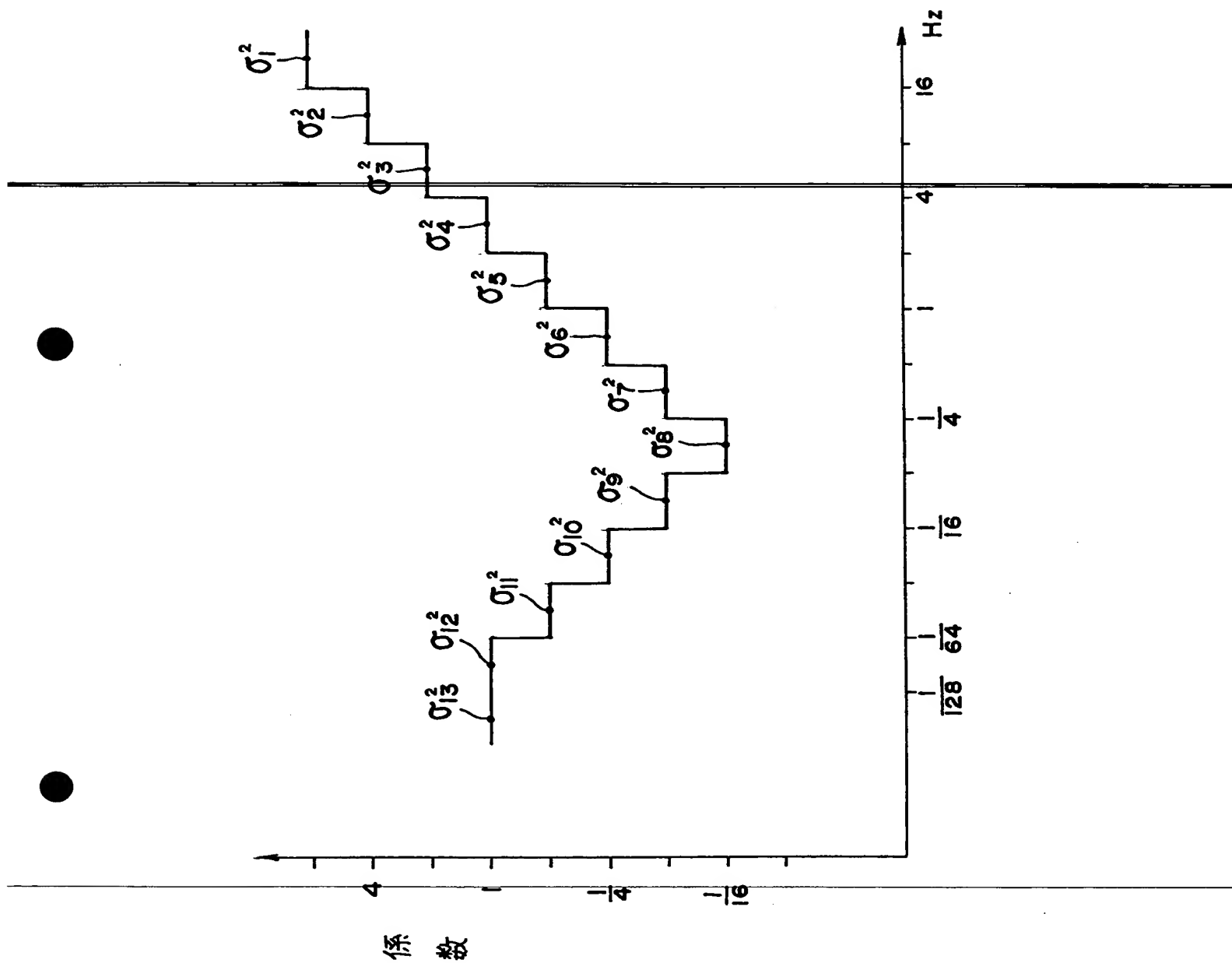
【図 24】



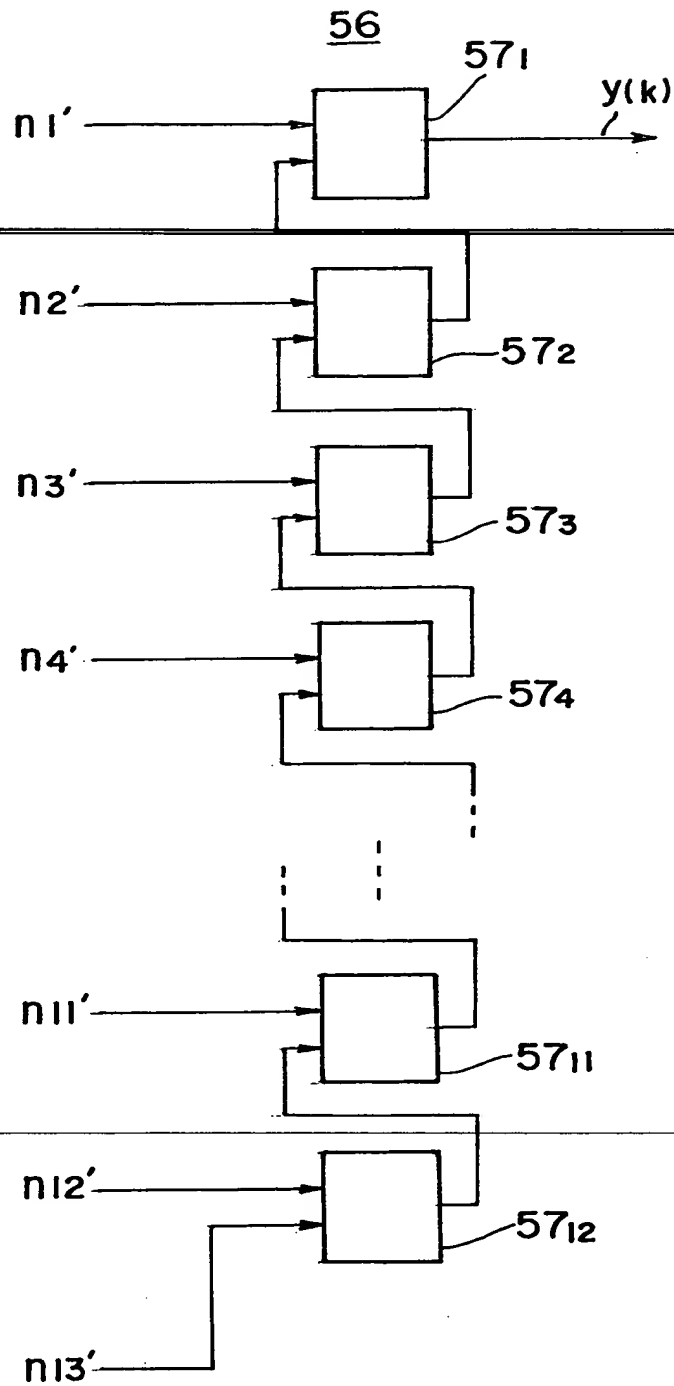
【図 25】



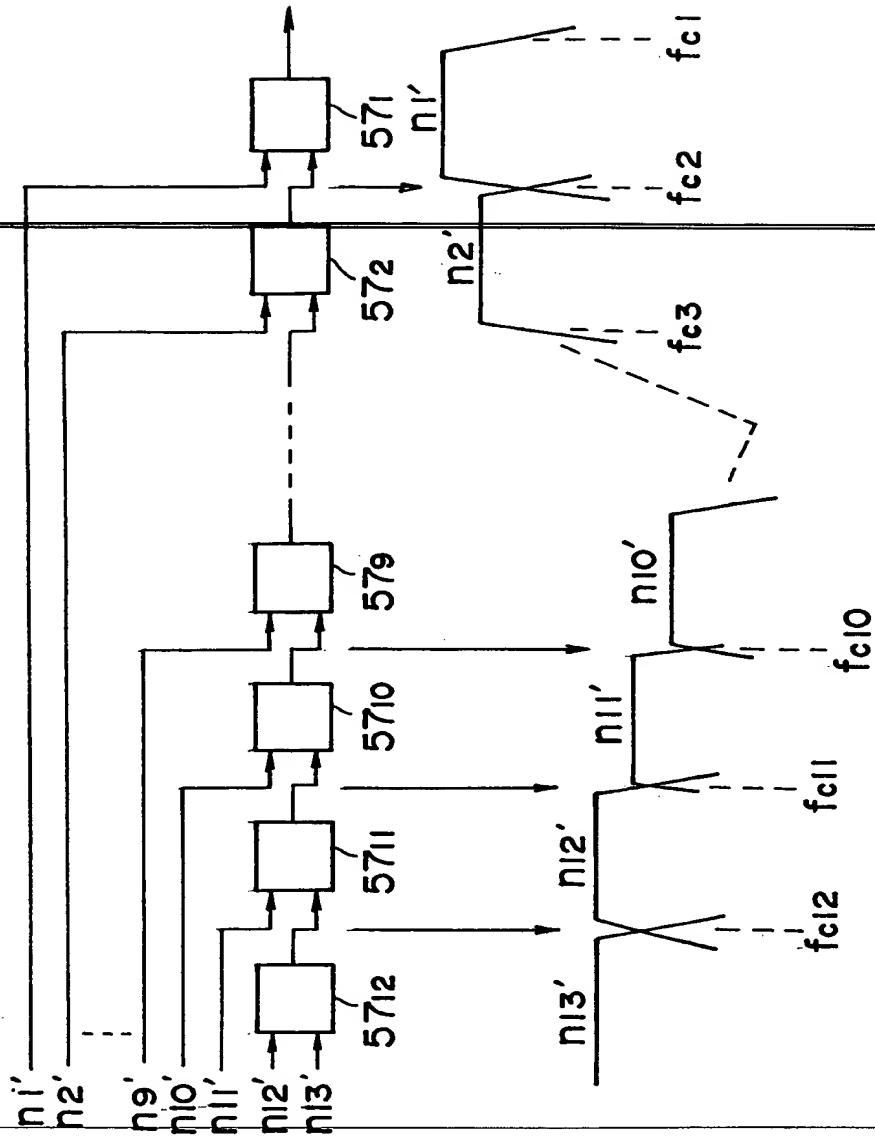
【図 2 6】



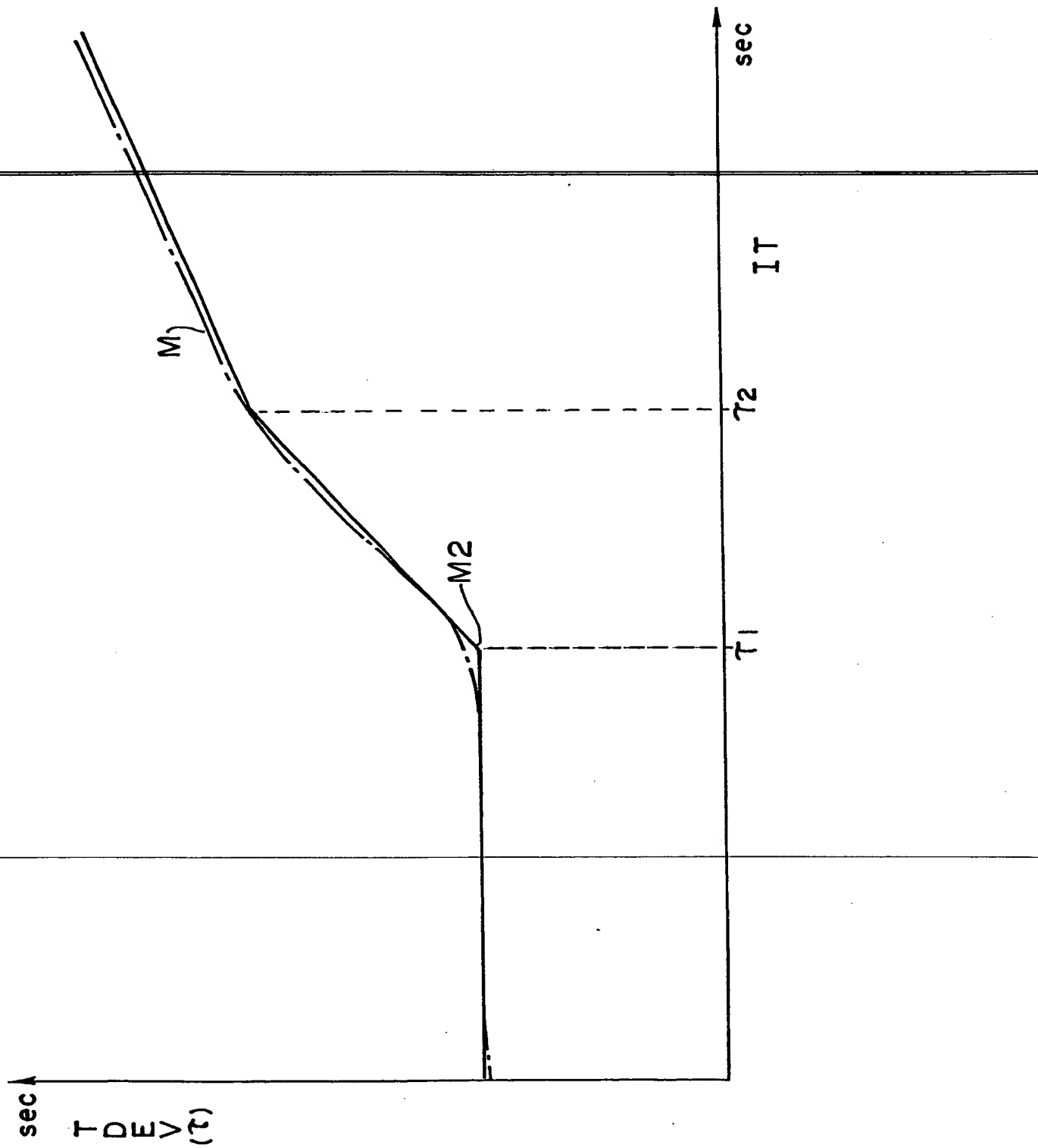
【図 27】



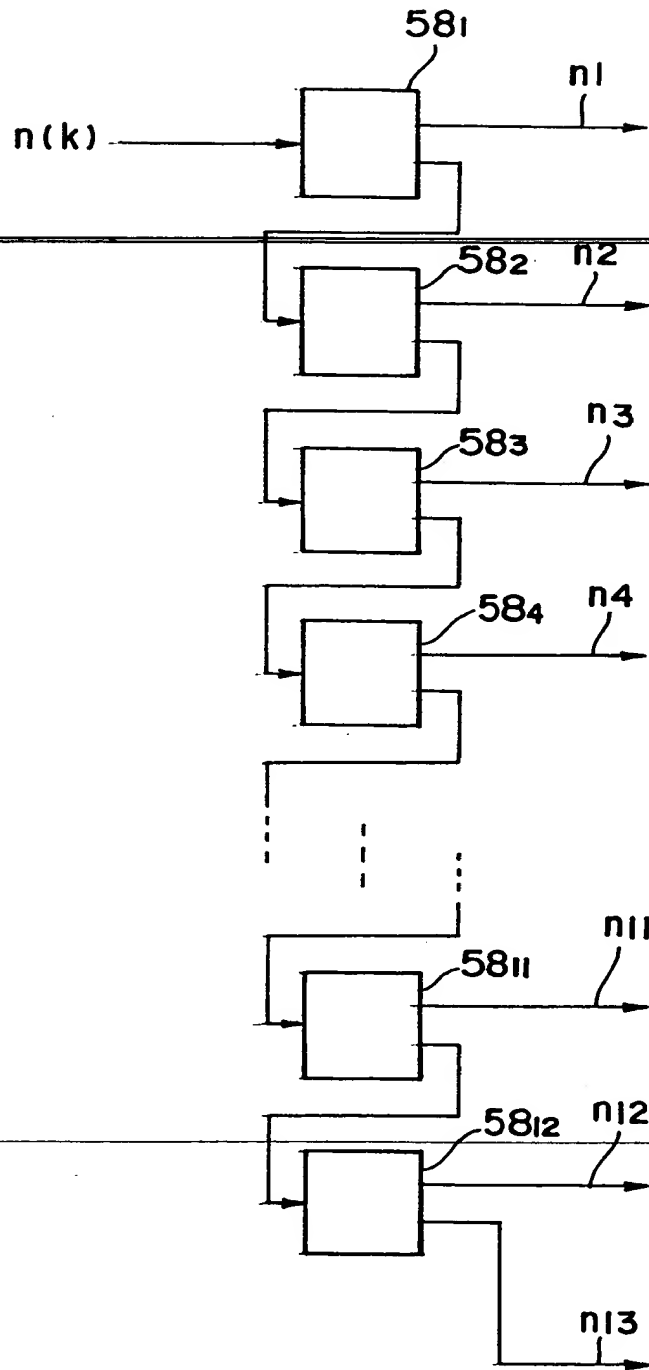
【図 28】



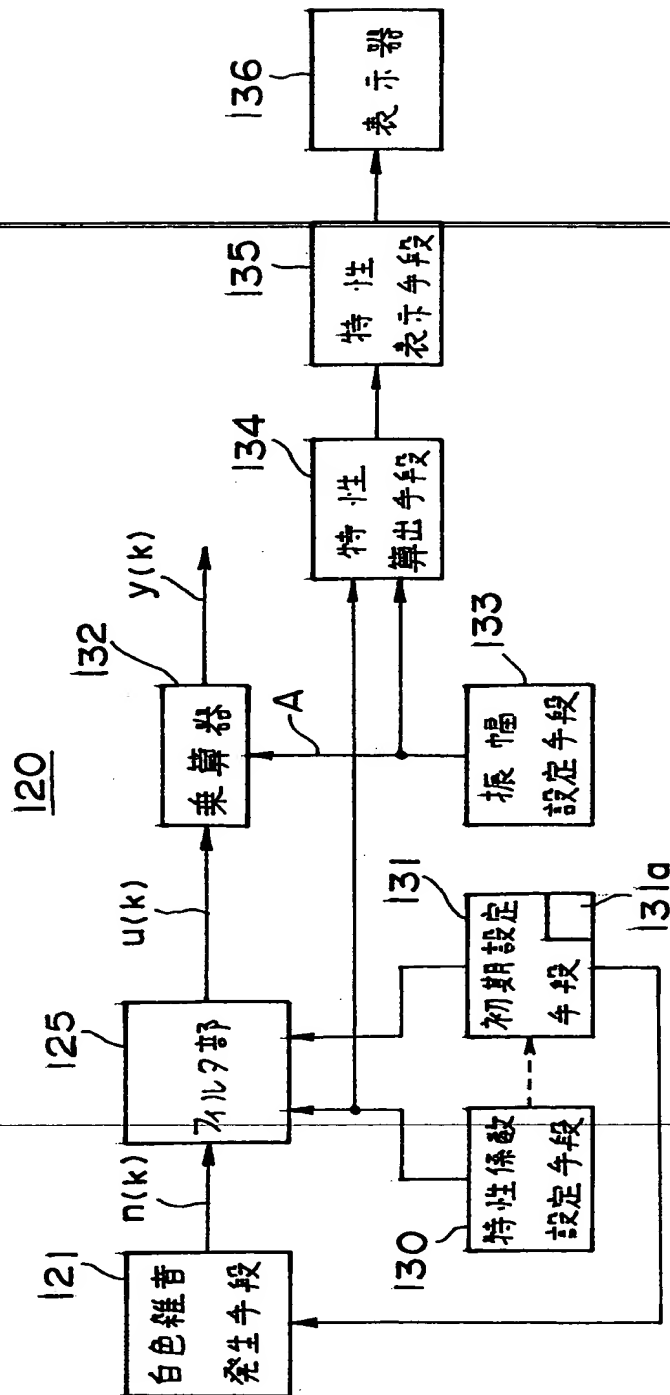
【図 2 9】



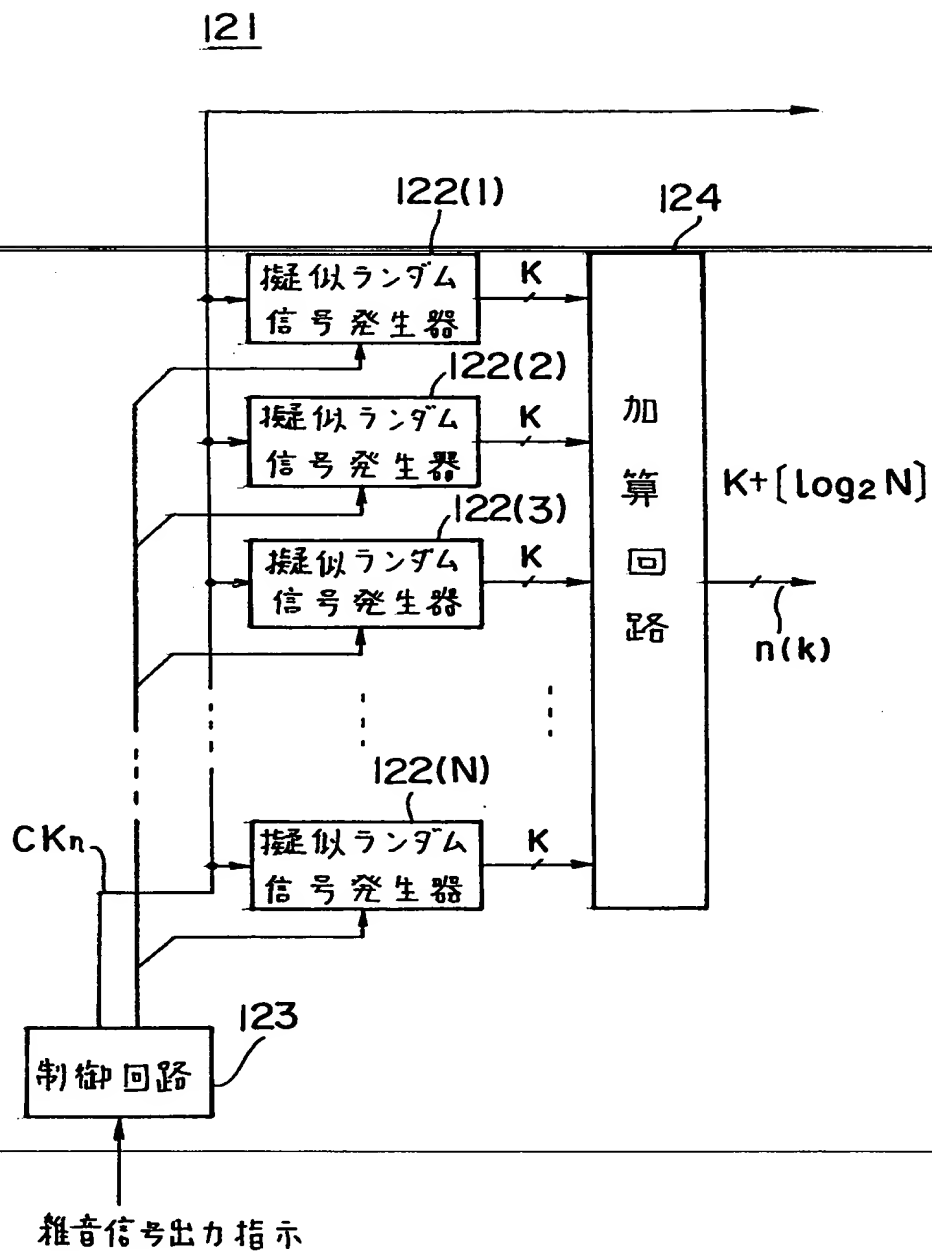
【図 30】



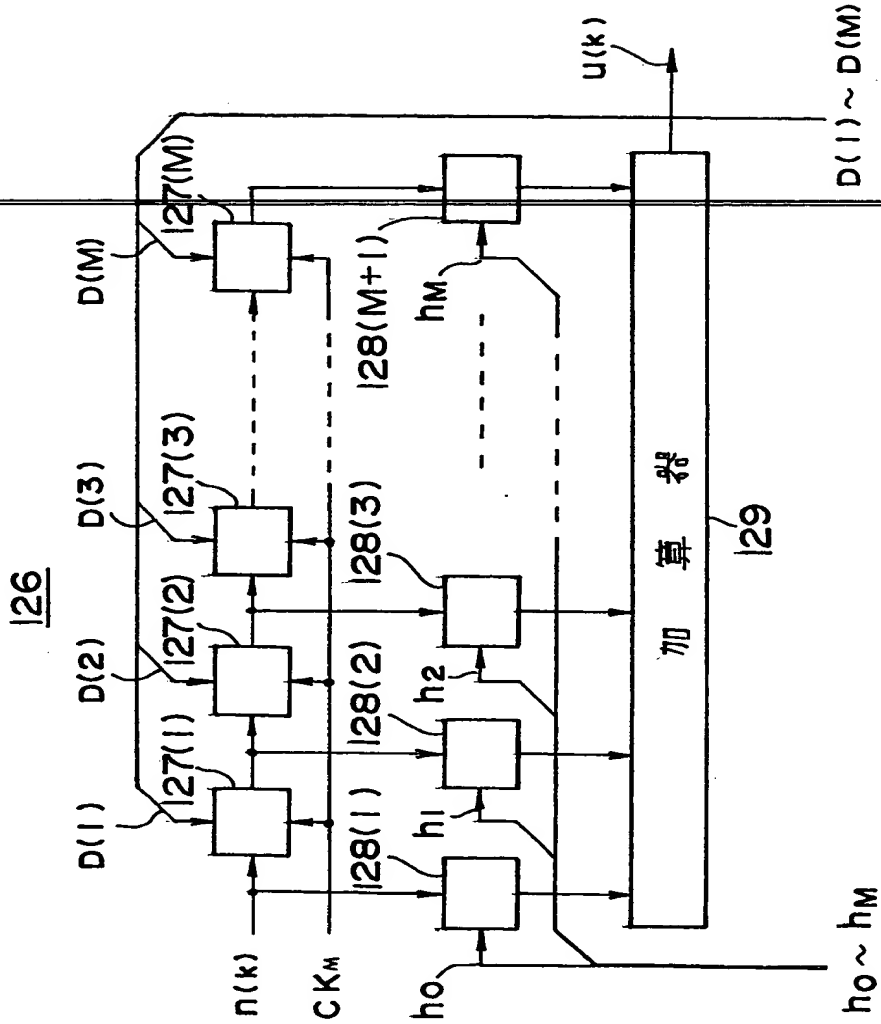
【図 31】



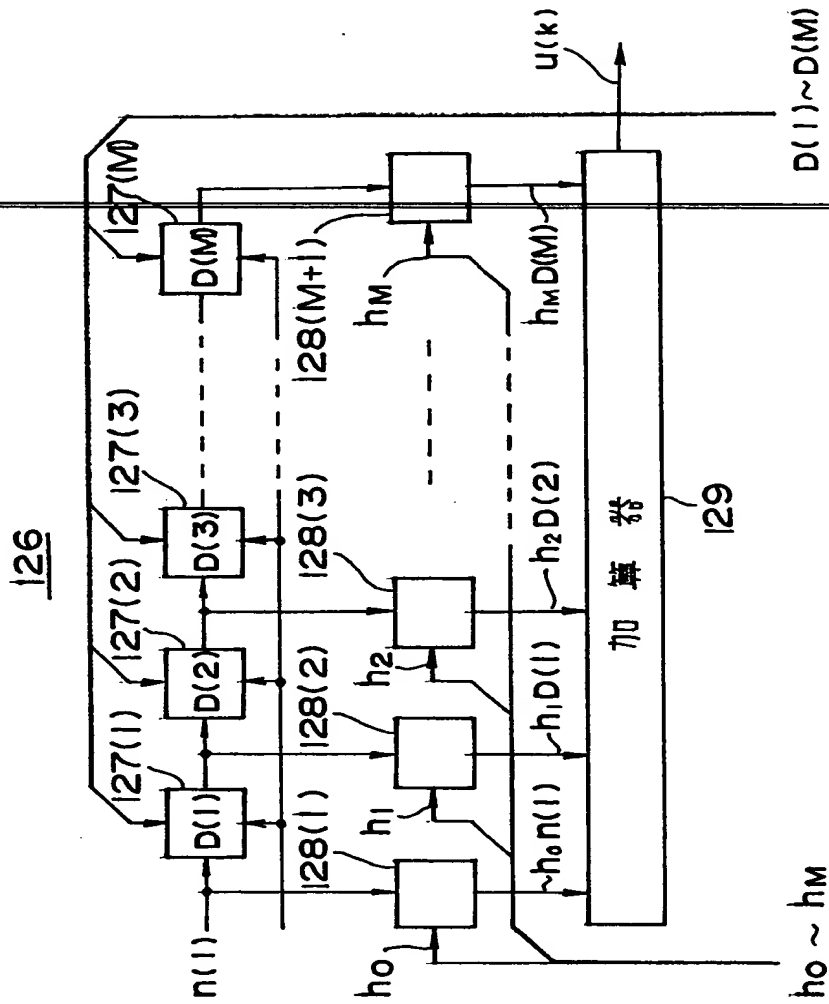
【図 3 2】



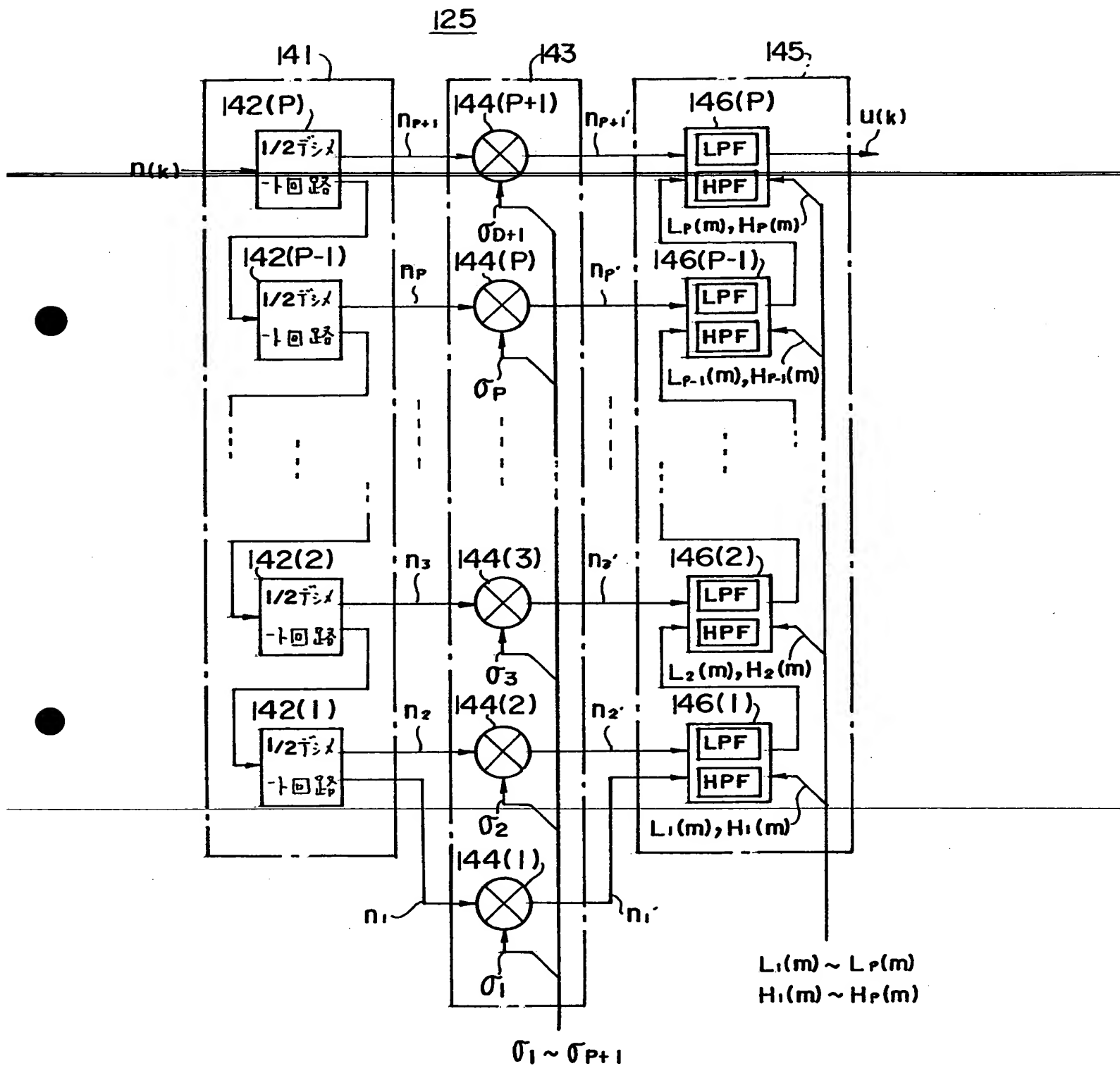
【図 33】



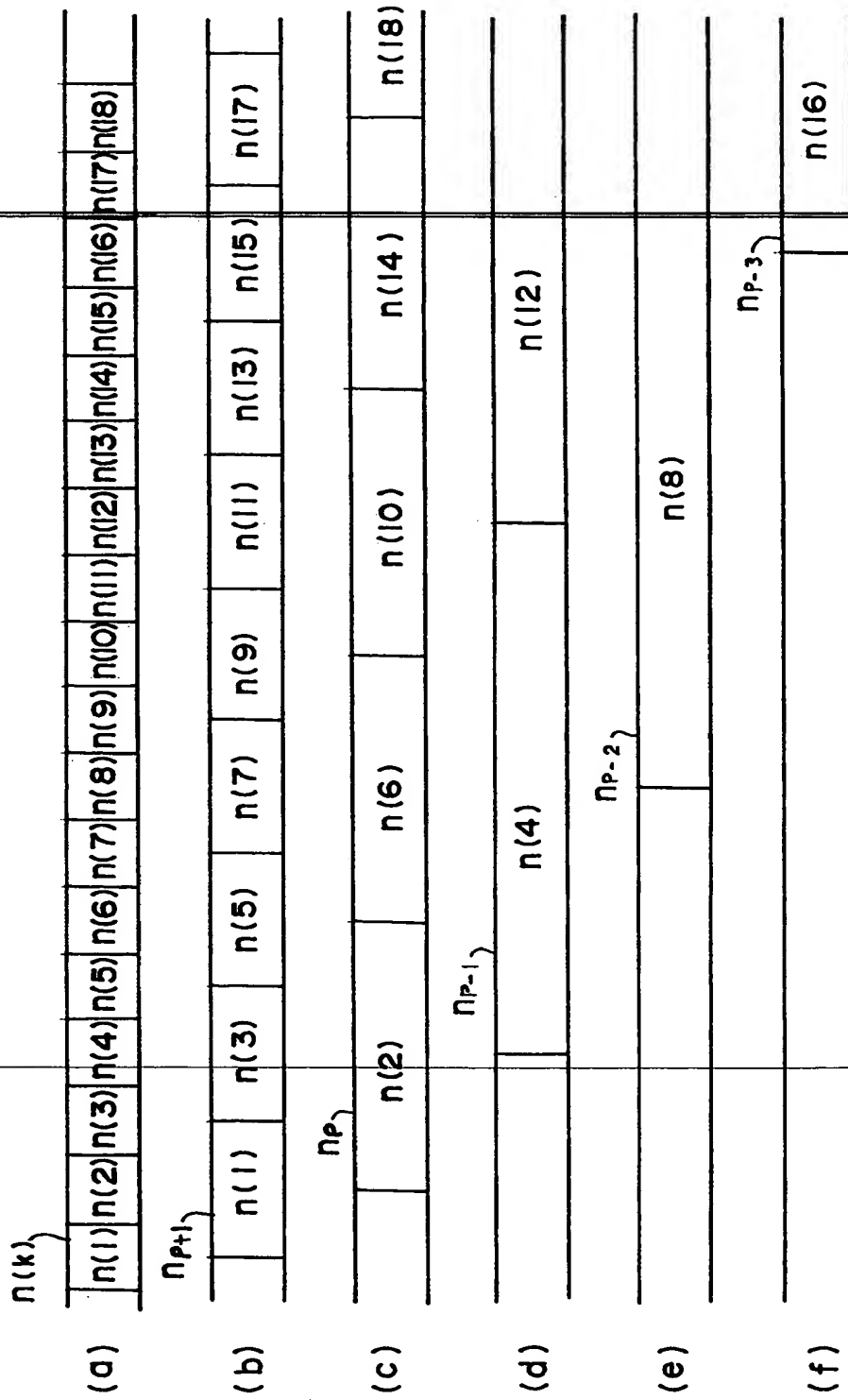
【図 3 4】



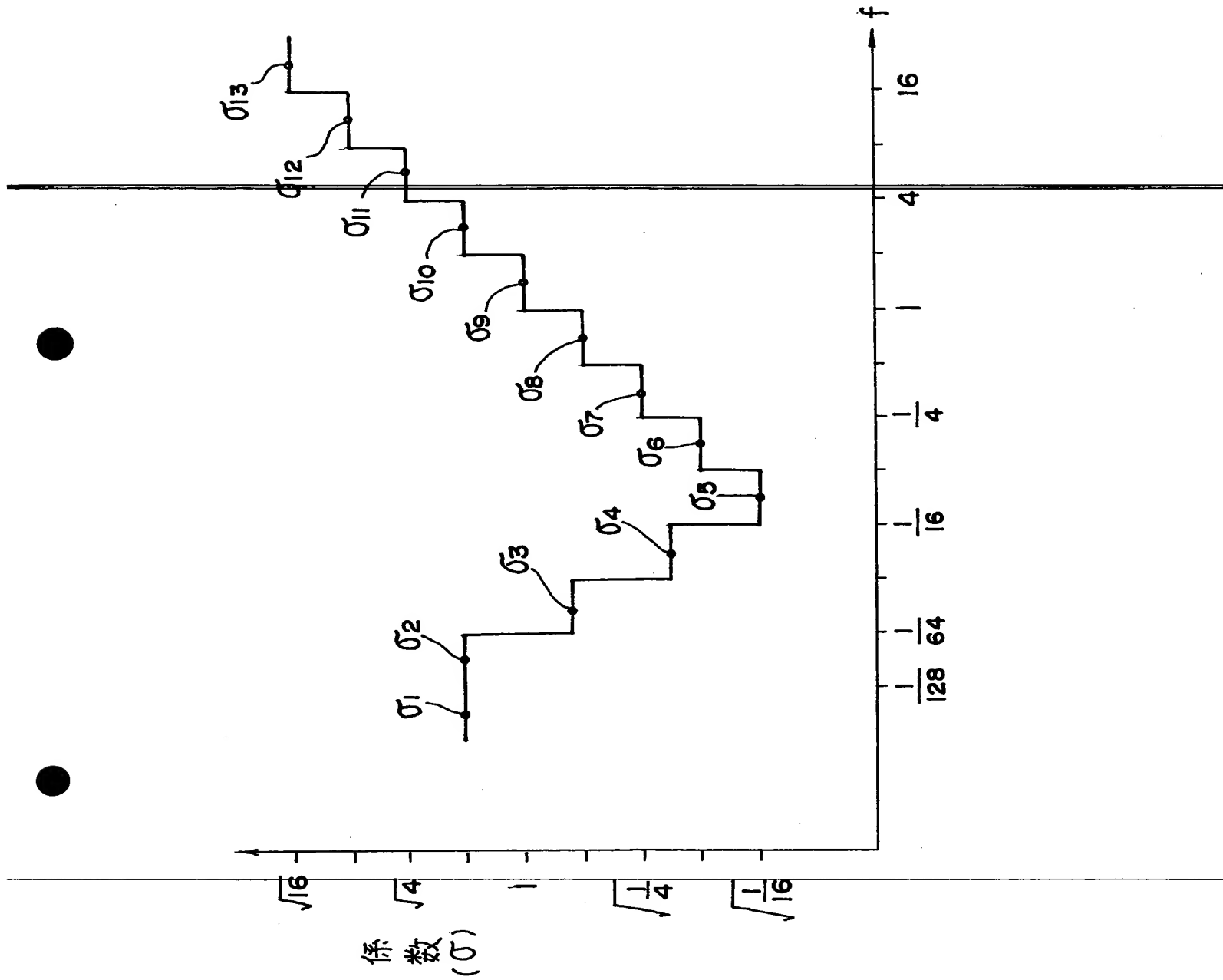
【図35】



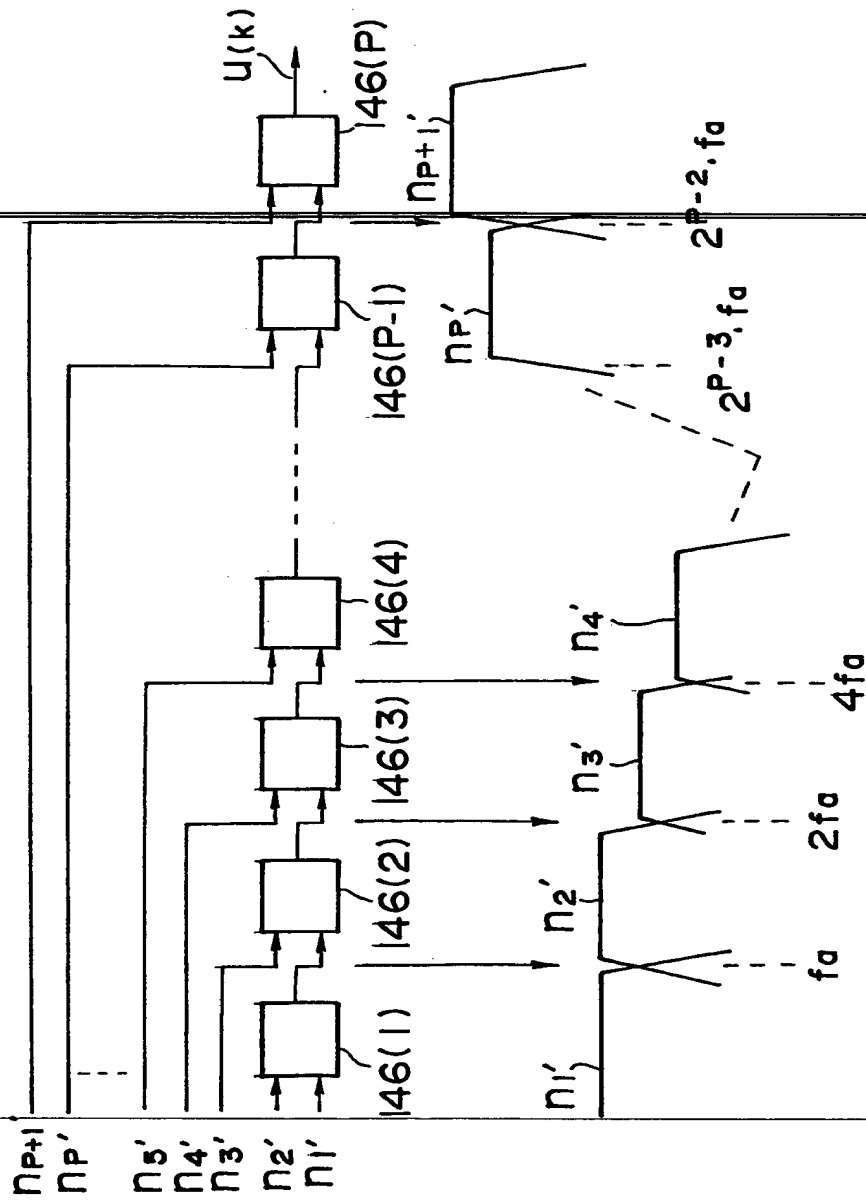
【図 3 6】



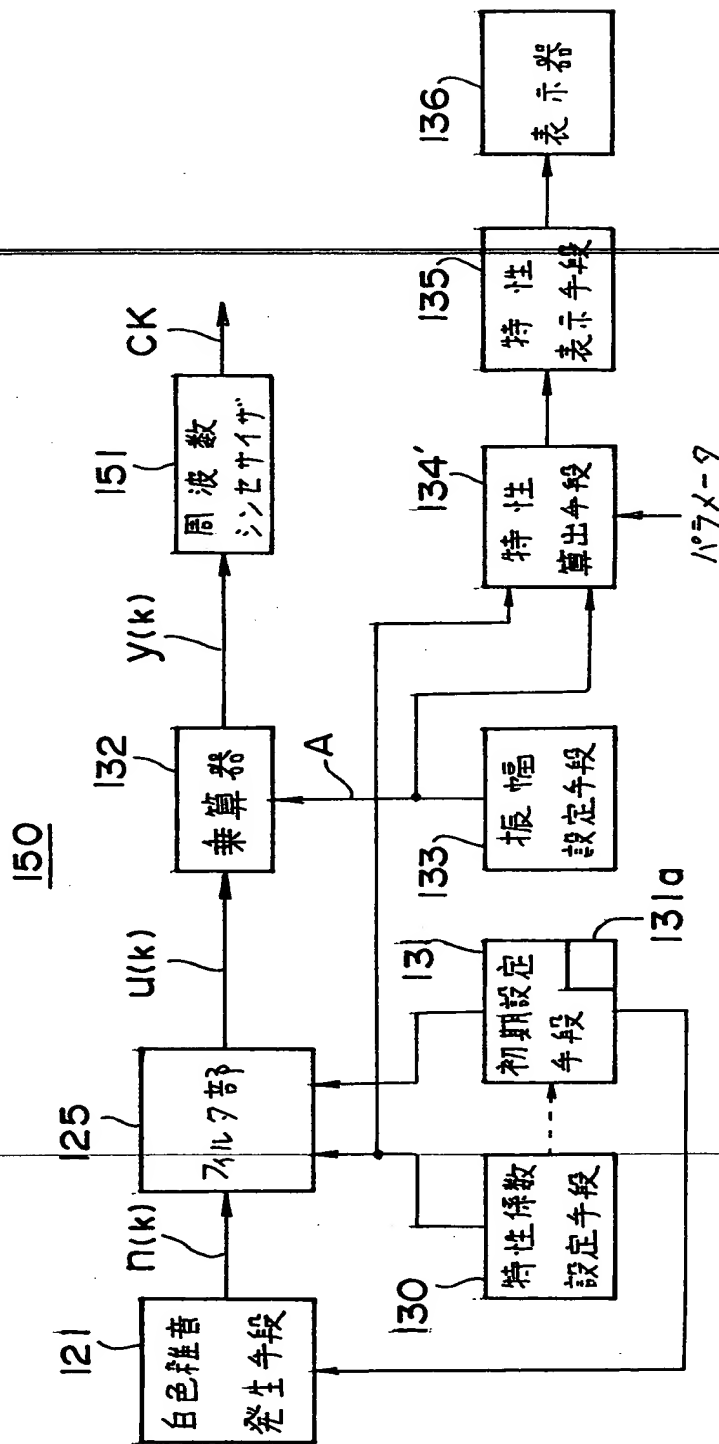
【図 37】



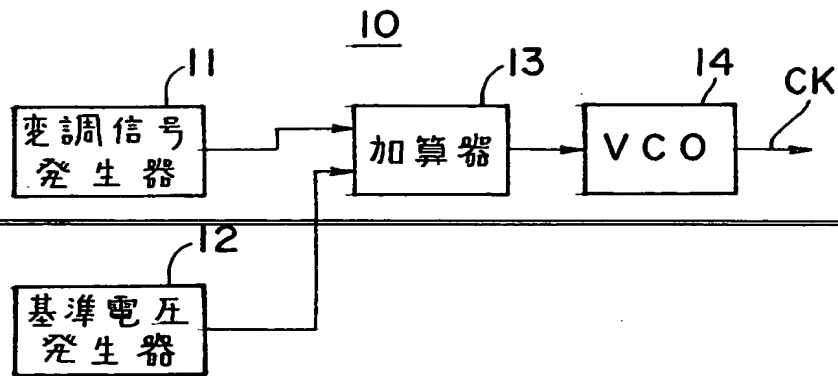
【図 38】



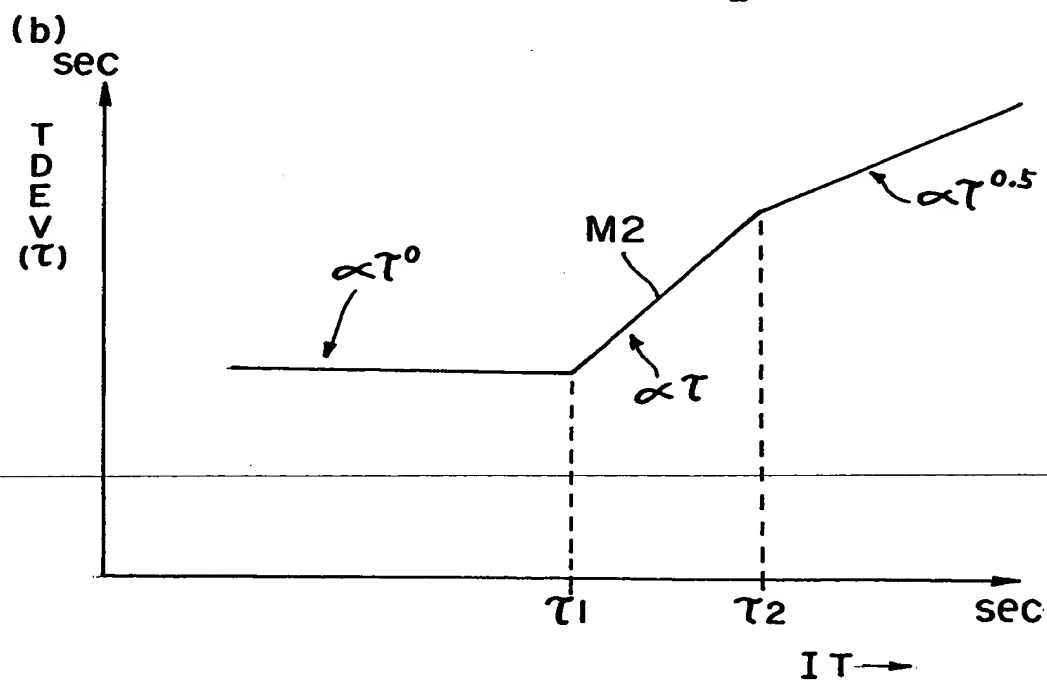
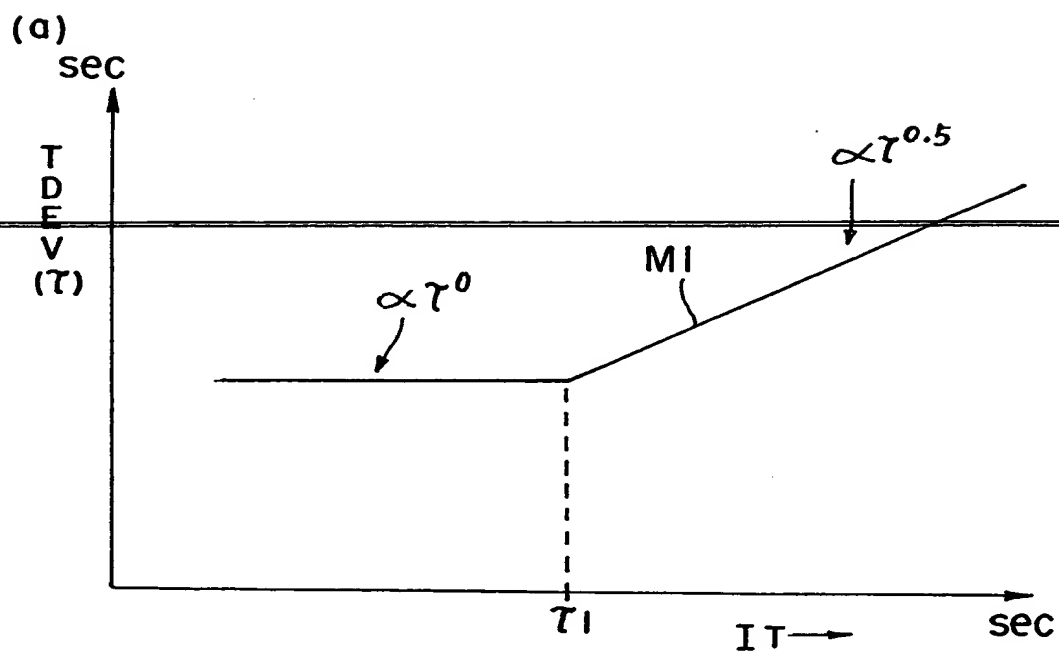
【図 39】



【図 4 0】



【図41】



【書類名】 要約書

【要約】

【課題】 任意のTDEVマスクを満足するクロック信号を容易に且つ精度良く発生させる。

【解決手段】 雑音発生手段25が所定のアルゴリズムで生成した擬似ランダム信号からなる白色雑音信号 $n(k)$ を畳込み演算手段28に入力して、特性情報設定手段23によって設定された所望のタイムデビエーション特性の特性情報に基づいて得られたタップ係数 $h(t)$ との畳み込み演算（フィルタリング処理）を行い、所望のタイムデビエーション特性に対応する電力スペクトル密度分布特性を有する揺らぎ信号列を発生し、この揺らぎ信号列によって周波数が変調された信号をDDS30から出力させる。

【選択図】 図5

特 2000-336447

認定・付加情報

特許出願の番号	特願2000-336447
受付番号	50001425246
書類名	特許願
担当官	第三担当上席 0092
作成日	平成12年11月 8日

<認定情報・付加情報>

【提出日】 平成12年11月 2日

次頁無

出 願 人 履 歴 情 報

識別番号

[000000572]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区南麻布5丁目10番27号
氏 名	アンリツ株式会社

THIS PAGE BLANK (USPTO)